

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038408

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

H03K 19/0175

H03K 17/12

H03K 17/687

H03K 19/0948

(21)Application number : 05-178365

(71)Applicant : SHARP CORP

(22)Date of filing : 19.07.1993

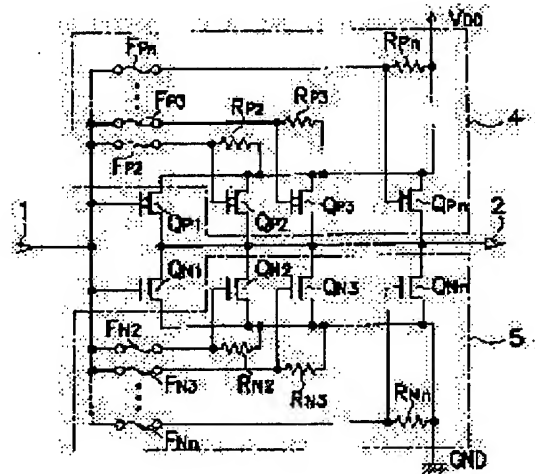
(72)Inventor : KAWAISHI KANEO
TORIMARU YASUO
SEMI ATSUSHI

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To optimize the circuit characteristic of an inverter by blowing out a fuse section properly so as to disconnect part of P-channel MOS transistors(TRs) or N-channel MOS TRs.

CONSTITUTION: A PMOS selection circuit 4 of the buffer circuit is made up of (n-1) sets of adjustment P-channel MOS TRs QP2-QPn and an NMOS selection circuit 5 of the buffer circuit is made up of (n-1) sets of adjustment N-channel MOS TRs QN2-QNn. Fuse sections FP2-FPn, FN2-FNn are wire sections formed to be interrupted on the surface of a chip. Any of the fuse sections FP2-FPn, FN2-FNn is selected as required in the final stage of the manufacture process and cut by laser trimming or the like. Moreover, pull-up resistors RP2-RPn and pull-down resistors RN2-RNn are respectively made of a polysilicon with a high resistance. Thus, an input terminal 1 of the buffer circuit is connected to a point of a power supply VDD via the resistors RP2-RPn and connects to ground via the resistors RN2-RNn, but the reduction in the input impedance is almost avoided.



LEGAL STATUS

[Date of request for examination] 18.07.1997

[Date of sending the examiner's decision of rejection] 19.08.1999

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection] 11-14986[Date of requesting appeal against examiner's decision of
rejection] 20.09.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-38408

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.

識別記号

F I

H03K 19/0175

17/12

9184-5J

17/687

19/0948

8321-5J

H03K 19/00

101

F

審査請求 未請求 請求項の数10 O L (全24頁) 最終頁に続く

(21)出願番号

特願平5-178365

(22)出願日

平成5年(1993)7月19日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 河石 務雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 鳥丸 安雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 瀬見 淳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

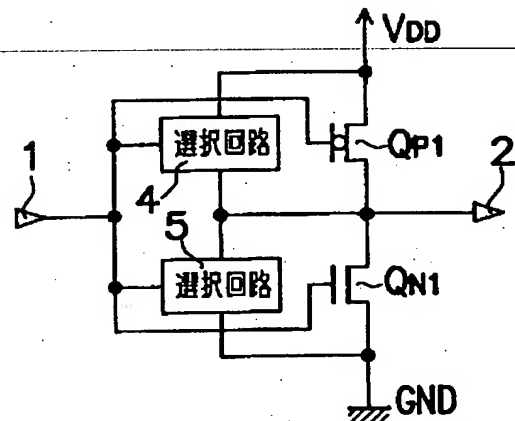
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 バッファ回路

(57)【要約】

【構成】 PチャンネルMOSトランジスタQPIに並列接続されたPMOS選択回路4の複数のPチャンネルMOSトランジスタQP2~QPnの各ゲートと、NチャンネルMOSトランジスタQN1に並列接続されたNMOS選択回路5の複数のNチャンネルMOSトランジスタQN2~QNnの各ゲートにヒューズ部FP1~FPn、FN1~FNnを接続した。

【効果】 適宜ヒューズ部FP1~FPn、FN1~FNnを切断して一部のPチャンネルMOSトランジスタQP2~QPn又はNチャンネルMOSトランジスタQN2~QNnを切り離すことにより、インバータの回路特性を最適化することができるようになる。



【特許請求の範囲】

【請求項 1】 入力信号を入力するための入力端子と、
該入力信号を反転させて出力信号に変える反転手段と、
該出力信号を出力するための出力端子とを有するバッ
ファ回路であって、
該反転手段は、複数の PMOS トランジスタ及び複数の
NMOS トランジスタを有し、
該複数の PMOS トランジスタのそれぞれのソースは電
源に接続され、該複数の PMOS トランジスタのそれ
ぞれのドレインは該出力端子に接続され、該複数の PMOS
トランジスタのそれぞれのゲートは該入力端子に接続さ
れ、
該複数の NMOS トランジスタのそれぞれのソースは接
地され、該複数の NMOS トランジスタのそれぞれのド
レインは該出力端子に接続され、該複数の NMOS ト
ランジスタのそれぞれのゲートは該入力端子に接続され、
該複数の PMOS トランジスタのうちの少なくとも 1 つ
の PMOS トランジスタのゲートは選択的に切断可能な
ヒューズ手段を介して該入力端子に接続されており、
該複数の NMOS トランジスタのうちの少なくとも 1 つ
の NMOS トランジスタのゲートは選択的に切断可能な
ヒューズ手段を介して該入力端子に接続されている、バ
ッファ回路。

【請求項 2】 前記複数の PMOS トランジスタのう
ちの少なくとも 1 つの PMOS トランジスタのゲートは
プルアップ手段を介して前記電源端子に接続され、
前記複数の NMOS トランジスタのうちの少なくとも 1
つの NMOS トランジスタのゲートはプルアップ手段を
介して前記接地端子に接続されている、請求項 1 に記載
のバッファ回路。

【請求項 3】 前記プルアップ手段及び前記プルダウ
ン手段は高抵抗ポリシリコンによって形成された抵抗体
を有している、請求項 2 に記載のバッファ回路。

【請求項 4】 入力信号を入力するための入力端子と、
該入力信号を反転させて出力信号に変える反転手段と、
該出力信号を出力するための出力端子とを有するバッ
ファ回路であって、
該反転手段は、複数の PMOS トランジスタ及び複数の
NMOS トランジスタとを有し、
該複数の PMOS トランジスタのそれぞれのソースは電
源に接続され、該複数の PMOS トランジスタのそれ
ぞれのドレインは該出力端子に接続され、該複数の PMO
S トランジスタのそれぞれのゲートは該入力端子に接続
され、
該複数の NMOS トランジスタのそれぞれのソースは接
地され、該複数の NMOS トランジスタのそれぞれのド
レインは該出力端子に接続され、該複数の NMOS ト
ランジスタのそれぞれのゲートは該入力端子に接続され、
該複数の PMOS トランジスタ及び該複数の NMOS ト
ランジスタのうちの少なくとも 1 つのトランジスタのド

レインは選択的に切断可能なヒューズ手段を介して該出
力端子に接続されている、バッファ回路。

【請求項 5】 入力信号を入力するための入力端子と、
該入力信号を反転させて反転信号に変える第 1 の反転手
段と、該反転信号を出力するための第 1 の出力端子と、
該第 1 の出力端子から出力された該反転信号をさらに反
転させて出力信号に変える第 2 の反転手段と、該出力信
号を出力するための第 2 の出力端子とを有するバッファ
回路であって、

該第 1 の反転手段及び該第 2 の反転手段は、複数の PM
OS トランジスタ及び複数の NMOS トランジスタとを
有し、

該第 1 の反転手段の該複数の PMOS トランジスタのそ
れぞれのソースは電源に接続され、該第 1 の反転手段の
該複数の PMOS トランジスタのそれぞれのドレインは
該第 1 の出力端子に接続され、該第 1 の反転手段の該複
数の PMOS トランジスタのそれぞれのゲートは該入力
端子に接続され、

該第 1 の反転手段の該複数の NMOS トランジスタのそ
れぞれのソースは接地され、該第 1 の反転手段の該複
数の NMOS トランジスタのそれぞれのドレインは該第 1
の出力端子に接続され、該第 1 の反転手段の該複数の N
MOS トランジスタのそれぞれのゲートは該入力端子に
接続され、

該第 1 の反転手段の該複数の PMOS トランジスタ及び
該複数の NMOS トランジスタのうちの少なくとも 1 つ
のトランジスタのドレインは選択的に切断可能なヒュー
ズ手段を介して該第 1 の出力端子に接続され、

該第 2 の反転手段の該複数の PMOS トランジスタのそ
れぞれのソースは電源に接続され、該第 2 の反転手段の
該複数の PMOS トランジスタのそれぞれのドレインは
該第 2 の出力端子に接続され、該第 2 の反転手段の該複
数の PMOS トランジスタのそれぞれのゲートは該第 1
の出力端子に接続され、

該第 2 の反転手段の該複数の NMOS トランジスタのそ
れぞれのソースは接地され、該第 2 の反転手段の該複
数の NMOS トランジスタのそれぞれのドレインは該第 2
の出力端子に接続され、該第 2 の反転手段の該複数の N
MOS トランジスタのそれぞれのゲートは該第 1 の出力
端子に接続され、

該第 2 の反転手段の該複数の PMOS トランジスタ及び
該複数の NMOS トランジスタのうちの少なくとも 1 つ
のトランジスタのドレインは選択的に切断可能なヒュー
ズ手段を介して該第 2 の出力端子に接続されている、バ
ッファ回路。

【請求項 6】 入力信号を入力するための入力端子と、
該入力信号を反転させて反転信号に変える第 1 の反転手
段と、該反転信号を出力するための第 1 の出力端子と、
該第 1 の出力端子から出力された該反転信号をさらに反
転させて出力信号に変える第 2 の反転手段と、該出力信

号を出力するための第 2 の出力端子とを有するバッファ回路であって、

該第 1 の反転手段及び該第 2 の反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、

該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのゲートは該入力端子に接続され、

該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、

該第 1 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該第 1 の出力端子に接続され、

該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、

該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、

該第 2 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該第 2 の出力端子に接続されている、バッファ回路。

【請求項 7】 入力信号を入力するための入力端子と、該入力信号を反転させて出力信号に変える反転手段と、該出力信号を出力するための出力端子とを有するバッファ回路であって、

該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、

該複数の PMOS トランジスタのそれぞれのソースは電源に、該複数の PMOS トランジスタのそれぞれのドレインは該出力端子に、該複数の PMOS トランジスタのそれぞれのゲートは該入力端子にそれぞれ接続され、

該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのド

レインは該出力端子に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該電源端に接続されている、バッファ回路。

【請求項 8】 第 1 の入力信号を入力する第 1 の入力端子と、該第 1 の入力信号を反転させて反転信号に変え得る反転手段と、該反転信号を出力するための出力端子と、第 2 の入力信号に応答して該反転信号を該出力端子に出力する出力制御手段とを有するバッファ回路であって、

該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタを有し、

該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該複数の PMOS トランジスタのそれぞれのドレインは該出力制御手段に接続され、該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、

該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのドレインは該出力制御手段に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、

該複数の PMOS トランジスタのうちの少なくとも 1 つの PMOS トランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該複数の PMOS トランジスタのドレインに接続されており、

該複数の NMOS トランジスタのうちの少なくとも 1 つの NMOS トランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該複数の PMOS トランジスタのドレインに接続されている、バッファ回路。

【請求項 9】 第 1 の入力信号を入力する第 1 の入力端子と、該第 1 の入力信号を反転させて反転信号に変え得る反転手段と、該反転信号を出力するための出力端子と、第 2 の入力信号に応答して該反転信号を該出力端子に出力する出力制御手段とを有するバッファ回路であって、

該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタを有し、

該複数の PMOS トランジスタは電源端子と該出力制御手段との間に直列に接続され、該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、

該複数の NMOS トランジスタは該接地端子と該出力制御手段との間に直列に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、

該複数の PMOS トランジスタのうちの少なくとも 1 つ

のPMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して該電源端子に接続されており、

該複数のNMOSトランジスタのうちの少なくとも1つのNMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して該接地端子に接続されている、バッファ回路。

【請求項10】 複数のPMOSトランジスタ及び複数のNMOSトランジスタからなる第2の反転回路を更に有する、請求項8に記載のバッファ回路であって、

該第2の反転回路の該複数のPMOSトランジスタのそれぞれのソースは電源に接続され、該第2の反転回路の該複数のPMOSトランジスタのそれぞれのドレインは前記出力制御手段に接続され、該第2の反転回路の該複数のPMOSトランジスタのそれぞれのゲートは前記第1の入力端子に接続され、

該第2の反転回路の該複数のNMOSトランジスタのそれぞれのソースは接地され、該第2の反転回路の該複数のNMOSトランジスタのそれぞれのドレインは該出力制御手段に接続され、該第2の反転回路の該複数のNMOSトランジスタのそれぞれのゲートは該第1の入力端子に接続され、

該第2の反転回路の該複数のPMOSトランジスタのうちの少なくとも1つのPMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該第2の反転回路の該複数のPMOSトランジスタのドレインに接続されており、

該第2の反転回路の該複数のNMOSトランジスタのうちの少なくとも1つのNMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該第2の反転回路の該複数のPMOSトランジスタのドレインに接続されている、バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CMOS等のインバータを用いたバッファ回路に関する。

【0002】

【従来の技術】 従来のCMOS[Complementary Metal-Oxide-Semiconductor]インバータを用いたバッファ回路の一例を図17に示す。このバッファ回路は、1組の相補型のPチャンネルMOSトランジスタQPとNチャンネルMOSトランジスタQNとで構成されている。そして、PチャンネルMOSトランジスタQPは、ソースが電源VDDに接続されると共に、ドレインが出力端子2に接続され、ゲートが入力端子1に接続されている。また、NチャンネルMOSトランジスタQNは、ソースが接地GNDに接続されると共に、ドレインが出力端子2に接続され、ゲートが入力端子1に接続されている。従って、このバッファ回路は、入力端子1の論理レベルを反転して出力端子2に出力するインバータとして機能す

る。

【0003】 また、従来のCMOSインバータを用いたバッファ回路の他の例を図18に示す。このバッファ回路は、相補型のPチャンネルMOSトランジスタQPのソースが電源VDDに接続されゲートが入力端子1に接続されると共に、NチャンネルMOSトランジスタQNのソースが接地GNDに接続されドレインが出力端子2に接続されゲートが入力端子1に接続される点は、上記図17のバッファ回路と同じである。しかし、この図18のバッファ回路は、さらに1組の相補型のPチャンネルMOSトランジスタQP0とNチャンネルMOSトランジスタQN0を有し、PチャンネルMOSトランジスタQP0は、ドレインが出力端子2に接続されると共に、ソースがPチャンネルMOSトランジスタQPのドレインに接続され、ゲートが制御入力端子3に接続されている。また、NチャンネルMOSトランジスタQN0は、ソースが接地されると共に、ドレインが出力端子2に接続され、ゲートが制御入力端子3に接続されている。従って、このバッファ回路は、制御入力端子3がローレベルの場合には、PチャンネルMOSトランジスタQP0がONとなりNチャンネルMOSトランジスタQN0がOFFとなるので、入力端子1の論理レベルを反転して出力端子2に出力するインバータの機能がアクティブになるが、制御入力端子3をハイレベルにすると、PチャンネルMOSトランジスタQP0がOFFとなりNチャンネルMOSトランジスタQN0がONとなるので、出力端子2は常時ローレベルとなってインバータとしての機能が非アクティブになる。上記図17や図18に示したバッファ回路における主PMOSと主NMOSとなるPチャンネルMOSトランジスタQPとNチャンネルMOSトランジスタQNは、バッファ回路が所望の回路特性を持つように設計されるが、製造プロセスのバラツキによっては必ずしもこの所望する回路特性が得られるとは限らない。

【0004】 例えばこのバッファ回路をCMOS半導体記憶装置の入力バッファとして用いる場合には、外部に接続されるTTL[Transistor-Transistor-Logic]の論理レベルとのインターフェイスをとるために、入力反転電圧VINVを1.5V～1.6V程度に設定し、最適なノイズマージンが得られるように回路特性を設定する。ここで、ノイズマージンは、入力反転電圧VINVと入力される論理レベルのハイレベル又はローレベルとの差として定義される。そして、SRAM[Static Random Access Memory]等の半導体記憶装置における標準的なTTLレベルは、ハイレベルが2.2Vでローレベルが0.8Vとなるため、入力反転電圧VINVを1.5Vに設定すれば、ハイレベル側とローレベル側にそれぞれ0.7Vずつのノイズマージンを確保することができる。

【0005】 以下に、入力反転電圧VINVをこのような所望の値に設定するためのバッファ回路の設計手順を説明する。まずバッファ回路の入力電圧をVI、電源電圧

10

20

30

40

50

を V_0 、PチャンネルMOSトランジスタQPのゲイン定数及びしきい値電圧をそれぞれ β_P 、 V_{TP} とすると、このPチャンネルMOSトランジスタQPを流れる電流 I_{DP} は数1で示される。

【0006】

【数1】

$$I_{DP} = \frac{\beta_P}{2} (V_i - V_{DD} - V_{TP})^2$$

【0007】また、NチャンネルMOSトランジスタQNのゲイン定数及びしきい値電圧をそれぞれ β_N 、 V_{TN} とすると、このNチャンネルMOSトランジスタQNを流れる電流 I_{DN} は数2で示される。

【0008】

【数2】

$$I_{DN} = \frac{\beta_N}{2} (V_i - V_{TN})^2$$

【0009】そして、入力電圧 V_i が入力反転電圧 V_{INV} に一致したときには $I_{DP} = I_{DN}$ となるので、この関係に基づいて数1と数2から入力電圧 V_i 、即ち入力反転電圧 V_{INV} を求めると、数3で示すものとなる。

【0010】

【数3】

$$V_{INV} = V_i = \frac{V_{DD} + V_{TN} \cdot \sqrt{\frac{\beta_N}{\beta_P}} + V_{TP}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}}$$

【0011】従って、この数3の右辺の各定数を適宜設定することにより、所望する入力反転電圧 V_{INV} を得ることができる。

【0020】入力反転電圧 V_{INV} は、チャンネル幅 W_P 、 W_N とチャンネル長 L_P 、 L_N によって調整可能であることが分かる。従って、入力反転電圧 V_{INV} を所望の値に設定するには、数4及び数5に示すチャンネル幅 W_P 、 W_N とチャンネル長 L_P 、 L_N を適当な値に定めることにより、ゲイン定数比 β_N/β_P を調整すればよい。

【0021】即ち、例えば、電源 V_{DD} が5Vであり、しきい値電圧 V_{TN} 、 V_{TP} がそれぞれ0.8V、-0.8Vである場合には、チャンネル幅 W_P 、 W_N とチャンネル長 L_P 、 L_N を適当な値に定めることによりゲイン定数比 β_N/β_P が14.9となるように調整すれば、数3から入

【0012】ところで、MOSトランジスタの単位面積当たりのゲート容量を C_0 、PチャンネルMOSトランジスタQPのチャンネル幅（ゲート幅とほぼ同じ）を W_P 、チャンネル長（ゲート長とほぼ同じ）を L_P 、キャリア移動度を μ_P とすると、PチャンネルMOSトランジスタQPの駆動能力を表す上記ゲイン定数 β_P は数4で表され、

【0013】

【数4】

$$\beta_P = \frac{W_P}{L_P} \cdot \mu_P \cdot C_0$$

【0014】NチャンネルMOSトランジスタQNのチャンネル幅を W_N 、チャンネル長を L_N 、キャリア移動度を μ_N とすると、NチャンネルMOSトランジスタQNの駆動能力を表す上記ゲイン定数 β_N は数5で表される。

【0015】

【数5】

$$\beta_N = \frac{W_N}{L_N} \cdot \mu_N \cdot C_0$$

【0016】そして、上記しきい値電圧 V_{TP} 、 V_{TN} やキャリア移動度 μ_P 、 μ_N 及びゲート容量 C_0 等のプロセス定数は、製造プロセスに応じて一律に決定される。そこで、このキャリア移動度 μ_P 、 μ_N が同じで値であるとすると、数3の式中のゲイン定数比 β_N/β_P は数6となり、

【0017】

【数6】

$$\frac{\beta_N}{\beta_P} = \frac{L_P W_N}{W_P L_N}$$

【0018】数3は数7に示すように変形されるので、

【0019】

【数7】

$$V_{INV} = V_i = \frac{V_{DD} + V_{TN} \cdot \sqrt{\frac{L_P W_N}{W_P L_N}} + V_{TP}}{1 + \sqrt{\frac{L_P W_N}{W_P L_N}}}$$

力反転電圧 V_{INV} を最適値の1.5Vに設定することができる。

【0022】しかしながら、このようにチャンネル幅 W_P 、 W_N とチャンネル長 L_P 、 L_N を定めてバッファ回路を製造したとしても、実際には製造プロセスのバラツキによって上記プロセス定数が変動する場合があります。これによって入力反転電圧 V_{INV} が設定とは異なる値になると、ノイズマージンが悪化することになる。例えば、上記設定において、プロセス定数の変動によりしきい値電圧 V_{TN} 、 V_{TP} がそれぞれ0.6V、-1.0Vになったとすると、入力反転電圧 V_{INV} は数3により1.3Vに

変化し、ローレベル側のノイズマージンが 0.5 V まで減少する。また、しきい値電圧 V_{TN} 、 V_{TP} がそれぞれ 1.0 V、-0.6 V になったとすると、入力反転電圧 V_{INV} は 1.7 V に変化し、ハイレベル側のノイズマージンが 0.5 V まで減少する。

【0023】このように、バッファ回路を半導体集積回路の入力バッファとして用いる場合には、製造プロセスのバラツキによって回路特性が変動すると、ノイズマージンが十分に得られなくなることがある。

【0024】また、このバッファ回路を半導体集積回路 10 の出力バッファとして用いる場合には、製造プロセスのバラツキが最悪の状態となった場合にも、少なくとも後段の回路を駆動し得るだけの駆動能力が得られるように十分に余裕のある設定を行う必要がある。そして、このような設定で製造を行った場合に、バッファ回路の駆動能力が最大となるようにプロセス定数が変動したとすると、このバッファ回路に流れる過大な電流によるノイズが問題となる。

【0025】例えば、図 19 に示すように、半導体集積回路内の接地 GND となる接地線 21 から引き出される 20 ボンディングワイヤ等が発生する直列寄生インダクタンスを L として、バッファ回路の出力端子 2 がローレベルに変化する際に N チャンネル MOS トランジスタ QN に電流が流れると、この直列寄生インダクタンス L の両端にノイズ電圧 v_s が発生する。そして、このノイズ電圧 v_s が接地線 21 上の接地ノイズとなって、回路動作や回路機能に悪影響を及ぼす可能性が生じる。このノイズ電圧 v_s は、N チャンネル MOS トランジスタ QN に流れる電流 I_{DN} による直列寄生インダクタンス L での電圧降下によって発生するので、数 8 で表されることになり、30 電流 I_{DN} の微分値、即ち変化率が大きいほど大きな値となる。

【0026】

【数 8】

$$v_s = L \cdot \frac{dI_{DN}}{dt}$$

【0027】そして、バッファ回路の出力端子 2 に接続する負荷容量を C_L として、数 9 の近似を行い、

【0028】

【数 9】

$$\Delta t = C_L \cdot \frac{V_{DD}}{I_{DN}}$$

【0029】かつ、N チャンネル MOS トランジスタ QN を流れる電流 I_{DN} が一定であると仮定すると、数 8 は数 10 に示すように変形され、

【0030】

【数 10】

$$v_s = L \cdot \frac{\Delta I_{DN}}{\Delta t} = \frac{L \cdot I_{DN}^2}{C_L \cdot V_{DD}}$$

【0031】さらにこれに上記数 2 を代入すると、ノイズ電圧 v_s は数 11 で表されるようになる。

【0032】

【数 11】

$$v_s = \frac{(V_I - V_{TN})^4}{4 V_{DD}} \cdot \frac{L \cdot \beta_N^2}{C_L}$$

【0033】ここで、電源電圧 V_0 と入力電圧 V_I とをそれぞれどちらも 5 V とし、製造プロセスでの標準のプロセス定数がしきい値電圧 V_{TN} については 0.8 V であり $\beta_N = \beta_{N0}$ の関係となる場合に、この製造プロセスにおいてバッファ回路の駆動能力を低下させる方向の最大のバラツキが発生して、しきい値電圧 V_{TN} が 1.0 V となり $\beta_N = 0.8 \beta_{N0}$ の関係に変動したとすると、数 11 からこのときのノイズ電圧 v_{s1} は数 12 に示すものとなる。

【0034】

【数 12】

$$v_{s1} = \frac{8.19 L \cdot \beta_{N0}^2}{C_L}$$

【0035】また、このバッファ回路の駆動能力を向上させる方向の最大のバラツキが発生して、しきい値電圧 V_{TN} が 0.6 V となり $\beta_N = 1.2 \beta_{N0}$ の関係になったとすると、数 11 からこのときのノイズ電圧 v_{s2} は数 13 に示すものとなる。

【0036】

【数 13】

$$v_{s2} = \frac{27.0 L \cdot \beta_{N0}^2}{C_L}$$

【0037】従って、製造プロセスのバラツキによってバッファ回路の駆動能力が最悪となった場合のノイズ電圧 v_{s1} に比べ最高となった場合のノイズ電圧 v_{s2} は、数 14 に示すように 3.3 倍に達する。

【0038】

【数 14】

$$\frac{v_{s2}}{v_{s1}} = 3.3$$

40 【0039】この結果、バッファ回路を半導体集積回路の出力バッファとして用いる場合には、製造プロセスのバラツキによって駆動能力が最大となったときに 3 倍以上のノイズが発生し、これが半導体集積回路の誤動作の原因となるおそれがある。

【0040】なお、上記では接地線 21 上に発生する接地ノイズについて説明したが、半導体集積回路内の電源 V_{DD} となる電源線にも同様に電源ノイズが発生し、これによっても半導体集積回路が誤動作を起こすおそれがある。

50 【0041】そこで、このようにバッファ回路を出力バ

ツファとして用いた場合に発生するノイズを低減させるために、従来から図 2 0 又は図 2 1 に示すようなバッファ回路の構成が提案されていた。

【0042】図 2 0 に示す従来のバッファ回路（特開昭 5 8 - 1 9 6 7 2 5 号公報記載）は、各 P チャンネル MOS トランジスタと各 N チャンネル MOS トランジスタのチャンネル幅とチャンネル長を調整することにより、これらが同時に ON になることがないようにして、出力レベルの切り替え時に電源 VDD から接地 GND に貫通して流れる電流を少なくし電源ノイズの発生を抑制するようにしたものである。また、図 2 1 に示す従来のバッファ回路（特開昭 5 8 - 1 9 6 7 2 6 号公報記載）は、出力トランジスタを分割させて動作させることにより、電流の立ち上がり時間を長くして電流の変化率を抑制し大きな電源ノイズが発生しないようにしたものである。

【0043】

【発明が解決しようとする課題】ところが、上記図 2 0 及び図 2 1 に示した従来のバッファ回路は、いずれも製造プロセスでのバラツキがいずれの状態になった場合にも電源ノイズを抑制し得るようにマージンを広くしたものであるため、バラツキの発生具合によっては所望する回路特性が得られなくなるという問題があった。しかも、これら従来のバッファ回路では、入力バッファとして用いた場合にノイズマージンが十分に得られなくなるおそれがあるという不都合を解消することができないという問題もあった。

【0044】また、特開昭 6 4 - 5 7 4 9 1 号公報には、半導体集積回路のタイミング設定回路の遅延特性をヒューズ手段によって調整する発明が開示されている。しかしながら、この発明は、直列接続される遅延回路の数をヒューズ手段によって調整可能にするものにすぎないので、バッファ回路の回路特性を直接調整するような技術はこれまで開発されていなかった。

【0045】本発明はこのような現状に鑑みてなされたものであり、製造プロセスでのバラツキをヒューズ手段によって修正し所望の回路特性を得ることができるバッファ回路を提供することが本発明の目的である。

【0046】

【課題を解決するための手段】本発明のバッファ回路は、入力信号を入力するための入力端子と、該入力信号を反転させて出力信号に変える反転手段と、該出力信号を出力するための出力端子とを有するバッファ回路であって、該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタを有し、該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該複数の PMOS トランジスタのそれぞれのドレインは該出力端子に接続され、該複数の PMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのドレインは該出

力端子に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の PMOS トランジスタのうちの少なくとも 1 つの PMOS トランジスタのゲートは選択的に切断可能なヒューズ手段を介して該入力端子に接続されており、該複数の NMOS トランジスタのうちの少なくとも 1 つの NMOS トランジスタのゲートは選択的に切断可能なヒューズ手段を介して該入力端子に接続されており、そのことにより上記目的が達成される。

【0047】また、前記複数の PMOS トランジスタのうちの少なくとも 1 つの PMOS トランジスタのゲートはプルアップ手段を介して前記電源端子に接続され、前記複数の NMOS トランジスタのうちの少なくとも 1 つの NMOS トランジスタのゲートはプルアップ手段を介して前記接地端子に接続されていてもよい。

【0048】更に、前記プルアップ手段及び前記プルダウン手段は高抵抗ポリシリコンによって形成された抵抗体を有していてもよい。

【0049】本発明の他のバッファ回路は、入力信号を入力するための入力端子と、該入力信号を反転させて出力信号に変える反転手段と、該出力信号を出力するための出力端子とを有するバッファ回路であって、該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該複数の PMOS トランジスタのそれぞれのドレインは該出力端子に接続され、該複数の PMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのドレインは該出力端子に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのドレインは選択的に切断可能なヒューズ手段を介して該出力端子に接続されていることにより上記目的が達成される。

【0050】本発明の他のバッファ回路は、入力信号を入力するための入力端子と、該入力信号を反転させて反転信号に変える第 1 の反転手段と、該反転信号を出力するための第 1 の出力端子と、該第 1 の出力端子から出力された該反転信号をさらに反転させて出力信号に変える第 2 の反転手段と、該出力信号を出力するための第 2 の出力端子とを有するバッファ回路であって、該第 1 の反転手段及び該第 2 の反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのゲートは該入力端子

に接続され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該第 1 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのドレインは選択的に切断可能なヒューズ手段を介して該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのドレインは選択的に切断可能なヒューズ手段を介して該第 2 の出力端子に接続されていることにより上記目的が達成される。

【0051】本発明の他のバッファ回路は、入力信号を入力するための入力端子と、該入力信号を反転させて反転信号に変える第 1 の反転手段と、該反転信号を出力するための第 1 の出力端子と、該第 1 の出力端子から出力された該反転信号をさらに反転させて出力信号に変える第 2 の反転手段と、該出力信号を出力するための第 2 の出力端子とを有するバッファ回路であって、該第 1 の反転手段及び該第 2 の反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 1 の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 1 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 1 の出力端子に接続され、該第 1 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該第 2

の反転手段の該複数の PMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのソースは接地され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのドレインは該第 2 の出力端子に接続され、該第 2 の反転手段の該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の出力端子に接続され、該第 2 の反転手段の該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該第 2 の出力端子に接続されていることにより上記目的が達成される。

【0052】本発明の他のバッファ回路は、入力信号を入力するための入力端子と、該入力信号を反転させて出力信号に変える反転手段と、該出力信号を出力するための出力端子とを有するバッファ回路であって、該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、該複数の PMOS トランジスタのそれぞれのソースは電源に、該複数の PMOS トランジスタのそれぞれのドレインは該出力端子に、該複数の PMOS トランジスタのそれぞれのゲートは該入力端子にそれぞれ接続され、該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのドレインは該出力端子に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該入力端子に接続され、該複数の PMOS トランジスタ及び該複数の NMOS トランジスタのうちの少なくとも 1 つのトランジスタのソースは選択的に切断可能なヒューズ手段を介して該電源端に接続されていることにより上記目的が達成される。

【0053】本発明の他のバッファ回路は、第 1 の入力信号を入力する第 1 の入力端子と、該第 1 の入力信号を反転させて反転信号に変え得る反転手段と、該反転信号を出力するための出力端子と、第 2 の入力信号にตอบสนองして該反転信号を該出力端子に出力する出力制御手段とを有するバッファ回路であって、該反転手段は、複数の PMOS トランジスタ及び複数の NMOS トランジスタとを有し、該複数の PMOS トランジスタのそれぞれのソースは電源に接続され、該複数の PMOS トランジスタのそれぞれのドレインは該出力制御手段に接続され、該複数の PMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、該複数の NMOS トランジスタのそれぞれのソースは接地され、該複数の NMOS トランジスタのそれぞれのドレインは該出力制御手段に接続され、該複数の NMOS トランジスタのそれぞれのゲートは該第 1 の入力端子に接続され、該複数の PMOS トランジスタのうちの少なくとも 1 つの PMOS トランジスタのドレインは選択的に切断することのできるヒュー

ズ手段を介して他の該複数のPMOSトランジスタのドレインに接続されており、該複数のNMOSトランジスタのうちの少なくとも1つのNMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該複数のPMOSトランジスタのドレインに接続されていることにより上記目的が達成される。

【0054】本発明の他のバッファ回路は、第1の入力信号を入力する第1の入力端子と、該第1の入力信号を反転させて反転信号に変え得る反転手段と、該反転信号を出力するための出力端子と、第2の入力信号に10 応答して該反転信号を該出力端子に出力する出力制御手段とを有するバッファ回路であって、該反転手段は、複数のPMOSトランジスタ及び複数のNMOSトランジスタを有し、該複数のPMOSトランジスタは電源端子と該出力制御手段との間に直列に接続され、該複数のPMOSトランジスタのそれぞれのゲートは該第1の入力端子に接続され、該複数のNMOSトランジスタは該接地端子と該出力制御手段との間に直列に接続され、該複数のNMOSトランジスタのそれぞれのゲートは該第1の入20 力端子に接続され、該複数のPMOSトランジスタのうちの少なくとも1つのPMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して該電源端子に接続されており、該複数のNMOSトランジスタのうちの少なくとも1つのNMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して該接地端子に接続されていることにより上記目的を達成できる。

【0055】また、複数のPMOSトランジスタ及び複数のNMOSトランジスタからなる第2の反転回路を更に有し、該第2の反転回路の該複数のPMOSトランジスタのそれぞれのソースは電源に接続され、該第2の反30 転回路の該複数のPMOSトランジスタのそれぞれのドレインは前記出力制御手段に接続され、該第2の反転回路の該複数のPMOSトランジスタのそれぞれのゲートは前記第1の入力端子に接続され、該第2の反転回路の該複数のNMOSトランジスタのそれぞれのソースは接地され、該第2の反転回路の該複数のNMOSトランジスタのそれぞれのドレインは該出力制御手段に接続され、該第2の反転回路の該複数のNMOSトランジスタのそれぞれのゲートは該第1の入力端子に接続され、該40 第2の反転回路の該複数のPMOSトランジスタのうちの少なくとも1つのPMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該第2の反転回路の該複数のPMOSトランジスタのドレインに接続されており、該第2の反転回路の該複数のNMOSトランジスタのうちの少なくとも1つのNMOSトランジスタのドレインは選択的に切断することのできるヒューズ手段を介して他の該第2の反転回路の該複数のPMOSトランジスタのドレインに接続されてい50 てよい。

【0056】

【作用】本発明のバッファ回路によれば、反転回路のヒューズ手段が切断されていない状態では、反転回路の全てのPMOSトランジスタが電源と出力端子との間で並列に接続されるので、全てのPMOSトランジスタは一体となってPチャンネルMOSトランジスタとして機能する。そして、この場合、一体となったPチャンネルMOSトランジスタの実質のチャンネル幅は、全てのPMOSトランジスタの各チャンネル幅の総和となる。従って、ヒューズ手段を選択的に切断して一部のPMOSトランジスタを反転回路から切り離すと、一体となったPチャンネルMOSトランジスタの実質のチャンネル幅は、残ったPMOSトランジスタの各チャンネル幅の総和に変更される。

【0057】また、反転回路のヒューズ手段が切断されていない状態では、反転回路の全てのNMOSトランジスタが接地と出力端子との間で並列に接続されるので、これらの全てのNMOSトランジスタは一体となってNチャンネルMOSトランジスタとして機能する。そして、この場合、一体となったNチャンネルMOSトランジスタの実質のチャンネル幅は、全てのNMOSトランジスタの各チャンネル幅の総和となる。従って、ヒューズ手段を選択的に切断して一部のNMOSトランジスタを反転回路から切り離すと、一体となったNチャンネルMOSトランジスタの実質のチャンネル幅は、残ったNMOSトランジスタの各チャンネル幅の総和に変更される。

【0058】そして、上記一体となったPチャンネルMOSトランジスタとNチャンネルMOSトランジスタはインバータを形成する。

【0059】この結果、バッファ回路の各MOSトランジスタの形成後に測定した回路特性が不適当であった場合に、反転回路のヒューズ手段を適宜切断することにより一体となったPチャンネルMOSトランジスタとNチャンネルMOSトランジスタのチャンネル幅を変更することができるので、これによって一体となったMOSトランジスタの駆動能力を調整し、又はこれらのインバータとしての入力反転電圧を調整して回路特性を所望する値に変更することができるようになる。

【0060】本発明の他のバッファ回路によれば、反転回路のヒューズ手段が全て切断された状態では、反転回路の全てのPMOSトランジスタを電源と出力端子との間で直列に接続することができ、これらの全てのPMOSトランジスタを一体となってPチャンネルMOSトランジスタとして機能させることができる。そして、この場合、一体となったPチャンネルMOSトランジスタの実質のチャンネル長は、全てのPMOSトランジスタの各チャンネル長の総和となる。従って、ヒューズ手段を選択的に切断し又は切断を回避してPMOSトランジスタを直列回路から切り離すと、一体となったPチャンネ

ルMOSトランジスタの実質のチャンネル長は、残ったPMOSトランジスタの各チャンネル長の総和に変更される。

【0061】また、反転回路のヒューズ手段が全て切断された状態では、反転回路の全てのNMOSトランジスタを接地と出力端子との間で直列に接続することができ、全てのNMOSトランジスタを一体となってNチャンネルMOSトランジスタとして機能させることができる。そして、この場合、一体となったNチャンネルMOSトランジスタの実質のチャンネル長は、全てのNMOSトランジスタの各チャンネル長の総和となる。従って、ヒューズ手段を選択的に切断し又は切断を回避して調整用NMOSを直列回路から切り離すと、一体となったNチャンネルMOSトランジスタの実質のチャンネル長は、残ったNMOSトランジスタの各チャンネル長の総和に変更される。

【0062】そして、上記一体となったPチャンネルMOSトランジスタとNチャンネルMOSトランジスタはインバータを形成する。

【0063】この結果、バッファ回路の各MOSトランジスタの形成後に測定した回路特性が不相当であった場合に、直列PMOS選択回路と直列NMOS選択回路のヒューズ手段を適宜切断し又は切断を回避することにより一体となったPチャンネルMOSトランジスタとNチャンネルMOSトランジスタのチャンネル長を変更することができるので、これによって一体となったMOSトランジスタの駆動能力を調整し、又はこれらのインバータとしての入力反転電圧を調整して回路特性を所望する値に変更することができるようになる。

【0064】直列接続された調整用PMOS及び調整用NMOSは、ソースドレイン間を短絡することにより直列回路から切り離すことができる。

【0065】

【実施例】以下、図面を参照しながら、本発明の実施例を詳述する。

【0066】図1及び図2は本発明の第1実施例を示すものであって、図1はバッファ回路の概略回路図、図2はバッファ回路の回路図である。なお、上記図17に示した従来例と同様の機能を有する構成部材には同じ番号を付記する。

【0067】第1の実施例のバッファ回路は、PMOS選択回路とNMOS選択回路を用い、調整用PMOSと調整用NMOSのゲートにヒューズ手段を設けたバッファ回路である。

【0068】第1の実施例のバッファ回路は、図1に示すように、1組の相補型のPチャンネルMOSトランジスタQP1（主PMOS）及びNチャンネルMOSトランジスタQN1（主NMOS）とPMOS選択回路4及びNMOS選択回路5とで構成されている。PチャンネルMOSトランジスタQP1は、ソースが電源VDDに接続され

ると共に、ドレインがバッファ回路の出力端子2に接続され、ゲートがバッファ回路の入力端子1に接続されている。また、NチャンネルMOSトランジスタQN1は、ソースが接地GNDに接続されると共に、ドレインが出力端子2に接続され、ゲートが入力端子1に接続されている。そして、PMOS選択回路4は、PチャンネルMOSトランジスタQP1のソース、ドレイン及びゲートに並列に接続され、NMOS選択回路5は、NチャンネルMOSトランジスタQN1のソース、ドレイン及びゲートに並列に接続されている。

【0069】PMOS選択回路4は、図2に示すように、 $n-1$ 個のPチャンネルMOSトランジスタQP2～QPn（調整用PMOS）からなる。これらのPチャンネルMOSトランジスタQP2～QPnは、それぞれのソースがPチャンネルMOSトランジスタQP1のソースに共通に接続されると共に、それぞれのドレインがPチャンネルMOSトランジスタQP1のドレインに共通に接続される。そして、これらのPチャンネルMOSトランジスタQP2～QPnのゲートは、それぞれヒューズ部FP2～FPnを介してPチャンネルMOSトランジスタQP1のゲートに共通に接続されている。また、これらPチャンネルMOSトランジスタQP2～QPnのゲートは、それぞれブルアップ抵抗RP2～RPnを介してPチャンネルMOSトランジスタQP1のソースに共通に接続され、結果的に電源VDDに接続されることになる。

【0070】NMOS選択回路5は、 $n-1$ 個のNチャンネルMOSトランジスタQN2～QNn（調整用NMOS）からなる。これらのNチャンネルMOSトランジスタQN2～QNnは、それぞれのソースがNチャンネルMOSトランジスタQN1のソースに共通に接続されると共に、それぞれのドレインがNチャンネルMOSトランジスタQN1のドレインに共通に接続される。そして、これらのNチャンネルMOSトランジスタQN2～QNnのゲートは、それぞれヒューズ部FN2～FNnを介してNチャンネルMOSトランジスタQN1のゲートに共通に接続されている。また、これらNチャンネルMOSトランジスタQN2～QNnのゲートは、それぞれブルアップ抵抗RN2～RNnを介してNチャンネルMOSトランジスタQN1のソースに共通に接続され、結果的に接地GNDに接続されることになる。

【0071】上記ヒューズ部FP2～FPn、FN2～FNnは、チップ表面で切断可能となるように形成された配線部分である。そして、これらのヒューズ部FP2～FPn、FN2～FNnは、製造プロセスの最終段階において必要な場合に選択され、レーザトリミング等によって切断される。また、ブルアップ抵抗RP2～RPn及びブルダウン抵抗RN2～RNnは、それぞれ高抵抗のポリシリコンによって形成されている。従って、バッファ回路の入力端子1がブルアップ抵抗RP2～RPnを介して電源VDDに接続されると共にブルダウン抵抗RN2～RNnを介して接地GND

Dに接続されることになるが、このような高抵抗のポリシリコンを用いることにより入力インピーダンスが低下するようなことがほとんどなくなる。なお、SRAM等においては、メモリセルの負荷に高抵抗のポリシリコンを用いるものがあり、このようなSRAM等に本実施例のバッファ回路を利用する場合には、これらのプルアップ抵抗 $RP2 \sim RPn$ 及びプルダウン抵抗 $RN2 \sim RNn$ も同じポリシリコンを用いて同時に形成することができる。

【0072】上記構成のバッファ回路は、全てのPチャンネルMOSトランジスタ $QP1 \sim QPn$ と全てのNチャンネルMOSトランジスタ $QN1 \sim QNn$ とがそれぞれ一体となってインバータとして動作する。即ち、入力端子1に入力反転電圧 $VINV$ より高レベルの電圧が入力されると、PチャンネルMOSトランジスタ $QP1 \sim QPn$ がOFFとなり電源 VDD との間が遮断されると共に、NチャンネルMOSトランジスタ $QN1 \sim QNn$ がONとなって接地 GND との間が導通するので、出力端子2からローレベルが出力される。また、入力端子1に入力反転電圧 $VINV$ より低レベルの電圧が入力されると、PチャンネルMOSトランジスタ $QP1 \sim QPn$ がONとなり電源 VDD との間が導通すると共に、NチャンネルMOSトランジスタ $QN1 \sim QNn$ がOFFとなって接地 GND との間が遮断されるので、出力端子2からハイレベルが出力される。

【0073】第1の実施例のバッファ回路を入力バッファとして用いる場合、電源 VDD を5Vとし、製造プロセスでの標準のプロセス定数のしきい値電圧 V_{TN} 、 V_{PN} がそれぞれ0.8V、-0.8Vであったとすると、入力反転電圧 $VINV$ の最適な値として1.5Vを得るためには、上記数3より一体となったPチャンネルMOSトランジスタ $QP1 \sim QPn$ と一体となったNチャンネルMOSトランジスタ $QN1 \sim QNn$ の実質的なゲイン定数比 β_N/β_P が14.9となるように調整すればよい。そして、これらPチャンネルMOSトランジスタ $QP1 \sim QPn$ とNチャンネルMOSトランジスタ $QN1 \sim QNn$ はそれぞれ並列接続されていることから、実質的なチャンネル幅が各MOSトランジスタQのチャンネル幅の和となり、チャンネル長が一定であるとして上記数4、数5からゲイン定数も各MOSトランジスタQの和で定まる。従って、ゲイン定数比 β_N/β_P が14.9となるようなゲイン定数 β_N 、 β_P を各PチャンネルMOSトランジスタ $QP1 \sim QPn$ とNチャンネルMOSトランジスタ $QN1 \sim QNn$ に割り当て、数4及び数5に基づいてそれぞれのMOSトランジスタQのチャンネル幅 WP 、 WN 及びチャンネル長 LP 、 LN を設定して製造を行う。

【0074】上記入力バッファの設定を行って半導体集積回路を製造した場合、ウェーハプロセスの最終段階のテスト工程において、ウェーハ上のTEG[Test Element Group]のトランジスタ特性を測定し、所望した特性が得られているかどうかの検査を行う。そして、もし製造プロセスのバラツキによってプロセス定数が変動し所望

の特性が得られなかったときには、トランジスタ特性の測定によって得たプロセス定数から数3に基づいて入力反転電圧 $VINV$ を最適な1.5Vとするために必要とされるゲイン定数比 β_N/β_P を再計算し、この修正したゲイン定数比 β_N/β_P の値からヒューズ部 $FP2 \sim FPn$ 、 $FN2 \sim FNn$ の切断箇所を決定する。

【0075】例えばTEGのトランジスタ特性を測定した結果、プロセス定数のしきい値電圧 V_{TN} 、 V_{PN} がそれぞれ0.6V、-1.0Vになっていたとすると、ゲイン定数比 β_N/β_P が14.9であるため、数3より入力反転電圧 $VINV$ は1.3Vとなり、ローレベル側のノイズマージンが0.5Vまで減少する。そこで、逆にこの数3より入力反転電圧 $VINV$ を1.5Vとするために必要なゲイン定数比 β_N/β_P を求めると7.71となる。また、本実施例のバッファ回路に用いる各MOSトランジスタQはチャンネル幅 WP 、 WN 及びチャンネル長 LP 、 LN がそれぞれ全て同じに形成されているとすると、 $n-1$ 個のヒューズ部 $FN2 \sim FNn$ のうちの m 個を切断したときのNチャンネルMOSトランジスタ $QN1 \sim QNn$ の全体のゲイン定数 β_N は n 分の $n-m$ に減少する。従って、この場合に、バッファ回路が10個($n=10$)ずつのMOSトランジスタQで構成されているとして、ヒューズ部 $FN2 \sim FNn$ のうちの5個を切断すると、ゲイン定数 β_N は2分の1に減少し、14.9であったゲイン定数比 β_N/β_P が7.45($=14.9/2$)に変更される。そして、このゲイン定数比 β_N/β_P の7.45の値は、上記7.71に近い値となるので、これを数3に代入して入力反転電圧 $VINV$ を計算すると1.51Vとなり、所望する1.5Vにほぼ一致することになる。この結果、バッファ回路を入力バッファとして用いた場合、上記事例では、ヒューズ部 $FN2 \sim FNn$ のうちの5個を切断すれば、ほぼ所望する入力反転電圧 $VINV$ を得ることができるようになる。

【0076】また、第1の実施例のバッファ回路を出力バッファとして用いる場合には、製造プロセスにおいてMOSトランジスタQの駆動能力を低下させる方向に最大のバラツキが発生した場合にも、仕様上の最低限の駆動能力が発揮されるように、MOSトランジスタQのチャンネル幅 WP 、 WN 及びチャンネル長 LP 、 LN を設定する必要がある。このため、製造プロセスでのバラツキが駆動能力を向上させる方向に発生した場合には、出力レベルの切り替え時にMOSトランジスタQに急速に過大な電流が流れ、大きなノイズが発生する。例えば、第1の実施例のバッファ回路の入力端子1の電圧がローレベルからハイレベルに変化すると、NチャンネルMOSトランジスタ $QN1 \sim QNn$ がONとなって出力端子2がローレベルに変化する。そして、この際、駆動能力を向上させる方向のバラツキが発生していると、負荷側から出力端子2を介してこれらNチャンネルMOSトランジスタ $QN1 \sim QNn$ に大きな電流 I_{DN} が流れ、この電流 I_{DN} の変

化率も大きくなるので、上記数 8 や数 10 に示したノイズ電圧 v_s が大きなものとなる。

【0077】そこで、このような出力バッファを備えた半導体集積回路を製造した場合には、ウェーハプロセスの最終段階のテスト工程において、ウェーハ上の TEG のトランジスタ特性を測定し、所望した特性が得られているかどうかの検査を行う。そして、もし製造プロセスのバラツキによってプロセス定数が変動し MOS トランジスタ Q の駆動能力が高くなりすぎたときには、ヒューズ部 FP2~FPn、FN2~FNn を適宜切断して、これらの MOS トランジスタ Q の全体としての駆動能力を低下させることにより、立ち上がり時間又は立ち下がり時間を長くして、電流の変化率を小さくしノイズを減少させる。

【0078】例えば、製造プロセスにおいて N チャンネル MOS トランジスタ QN1~QNn の駆動能力を低下させる方向の最大のバラツキが発生して、しきい値電圧 V_{TN} が 1.0V となり $\beta N = 0.8\beta N0$ の関係になったとすると、このときのノイズ電圧 v_{s1} は上記数 12 に示すものとなる。また、この駆動能力を向上させる方向の最大のバラツキが発生して、しきい値電圧 V_{TN} が 0.6V となり $\beta N = 1.2\beta N0$ の関係になったとすると、このときのノイズ電圧 v_{s2} は上記数 13 に示すものとなり、ノイズ電圧 v_{s1} に対してこのノイズ電圧 v_{s2} は、上記数 14 に示すように 3.3 倍にも達する。

【0079】そこで、上記入力バッファの場合と同様に、バッファ回路が 10 個ずつの MOS トランジスタ Q で構成されているとして、N チャンネル MOS トランジスタ QN1~QNn のゲートに接続されるヒューズ部 FN2~FNn のうちの 4 個を切断すると、ゲイン定数 βN は 10 分の 10-4、即ち 0.6 倍に減少する。そして、数 13 におけるゲイン定数 βN に代えて切断後のゲイン定数 $0.6\beta N$ を代入すると、このときのノイズ電圧 v_{s3} は数 15 に示すように上記ノイズ電圧 v_{s2} の 0.36 倍 (0.6 の 2 乗) となり、

【0080】

【数 15】

$$v_{s3} = \frac{9.72 L \cdot \beta N_0^2}{C_L}$$

【0081】ノイズ電圧 v_{s1} に対しては、数 16 に示すように 1.19 倍まで改善される。

【0082】

【数 16】

$$\frac{v_{s3}}{v_{s1}} = 1.19$$

【0083】この結果、バッファ回路を出力バッファとして用いる場合、上記事例では、ヒューズ部 FN2~FNn のうちの 4 個を切断すれば、ノイズの発生を所望する値近くまで低減することができる。

【0084】以上説明したように、第 1 の実施例のバッファ回路は、製造プロセスのバラツキによってプロセス定数が変動した場合にも、PMOS 選択回路 4 と NMOS 選択回路 5 のヒューズ部 FP2~FPn、FN2~FNn を適宜切断することにより、所望する回路特性を得ることができるようになる。

【0085】図 3 は本発明の第 2 の実施例のバッファ回路を示す回路図である。なお、上記図 2 に示した第 1 の実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0086】第 2 の実施例のバッファ回路は、PMOS 選択回路と NMOS 選択回路を用い、調整用 PMOS と調整用 NMOS のドレインにヒューズ手段を設けたバッファ回路である。

【0087】第 2 の実施例のバッファ回路は、n 組の相補型の P チャンネル MOS トランジスタ QP1~QPn と N チャンネル MOS トランジスタ QN1~QNn とで構成されている。n 個の P チャンネル MOS トランジスタ QP1~QPn は、それぞれのソースが電源 VDD に共通に接続されると共に、それぞれのゲートが入力端子 1 に共通に接続されている。そして、これらの P チャンネル MOS トランジスタ QP1~QPn のドレインは、それぞれヒューズ部 FP1~FPn を介して出力端子 2 に共通に接続されている。また、n 個の N チャンネル MOS トランジスタ QN1~QNn は、それぞれのソースが接地 GND に共通に接続されると共に、それぞれのゲートが入力端子 1 に共通に接続されている。そして、これらの N チャンネル MOS トランジスタ QN1~QNn のドレインは、それぞれヒューズ部 FN1~FNn を介して出力端子 2 に共通に接続されている。

【0088】即ち、第 2 の実施例では、上記図 1 に示した PMOS 選択回路 4 を n-1 個の P チャンネル MOS トランジスタ QP2~QPn で構成すると共に、NMOS 選択回路 5 を n-1 個の N チャンネル MOS トランジスタ QN2~QNn で構成し、主 PMOS 及び主 NMOS となる P チャンネル MOS トランジスタ QP1 と N チャンネル MOS トランジスタ QN1 にもそれぞれヒューズ部 FP1 とヒューズ部 FN1 を設けたものである。従って、ここでは、主 PMOS 及び主 NMOS と調整用 PMOS 及び調整用 NMOS を特に区別しない。

【0089】上記構成のバッファ回路も、ヒューズ部 FP1~FPn、FN1~FNn を適宜切断することにより、任意の MOS トランジスタ Q を切り離すことができるので、第 1 実施例の場合と同様に、製造プロセスのバラツキによってプロセス定数が変動した場合に、回路特性を修正することができるようになる。

【0090】なお、第 2 の実施例の場合には、ヒューズ部 FP1~FPn、FN1~FNn を切断することにより当該 MOS トランジスタ Q を完全に切り離すことができるので、第 1 実施例の場合にこの MOS トランジスタ Q の不

用意な動作を防止するために設けたプルアップ抵抗 $RP2 \sim RPn$ やプルダウン抵抗 $RN2 \sim RNn$ は不要となる。

【0091】図4は本発明の第3の実施例を示すものであって、バッファ回路によって出力バッファを構成した場合の回路図である。なお、上記図3に示した第2実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0092】第3の実施例は、バッファ回路を半導体集積回路の出力バッファとして用いた場合を示す。

【0093】第3の実施例で用いられるバッファ回路は、第2実施例で示したものと同一である。ただし、上記図3に示したバッファ回路の入力端子1は分割され、それぞれNAND回路8の出力がPチャンネルMOSトランジスタ $QP1 \sim QPn$ のゲートに共通に接続されると共に、NOR回路9の出力がNチャンネルMOSトランジスタ $QN1 \sim QNn$ のゲートに共通に接続されるようになっている。NAND回路8は、一方の入力がデータ入力端子10に接続されると共に、他方の入力がインバータ回路11を介して出力許可端子12に接続されている。また、NOR回路9は、一方の入力が同じデータ入力端子10に接続されると共に、他方の入力が直接出力許可端子12に接続されている。

【0094】従って、この出力バッファは、出力許可端子12がローレベル（アクティブ）の場合にデータ入力端子10に送り込まれたデータを非反転のハイレベル又はローレベルとして出力端子2から出力する。また、出力許可端子12がハイレベルの場合には、出力端子2がハイインピーダンスとなる。

【0095】ここで、出力許可端子12がローレベルの状態、データ入力端子10のデータがローレベルからハイレベルに変化したとすると、NAND回路8の出力はハイレベルからローレベルに変わり、PチャンネルMOSトランジスタ $QP1 \sim QPn$ がONとなって出力端子2がローレベルからハイレベルに切り替わる。そして、これらのPチャンネルMOSトランジスタ $QP1 \sim QPn$ の駆動能力が高すぎると、このときに電源VDDから出力端子2に大きな電流が流れ電流の変化率も大きくなるので、電源ノイズの影響が避けられなくなる。また、出力許可端子12がローレベルの状態、データ入力端子10のデータが逆に変化したとすると、NOR回路9の出力がローレベルからハイレベルに変わり、NチャンネルMOSトランジスタ $QN1 \sim QNn$ がONとなって出力端子2がハイレベルからローレベルに切り替わる。そして、これらのNチャンネルMOSトランジスタ $QN1 \sim QNn$ の駆動能力が高すぎると、このときに負荷側から出力端子2を介して接地GNDに大きな電流が流れ電流の変化率も大きくなるので、接地ノイズの影響が避けられなくなる。

【0096】そこで、第3の実施例の場合には、ウェーハ上のTEGでの出力端子2の電圧レベル変化を測定し、これを回路シミュレーションによって求めたデータ

と比較検討することによりヒューズ部 $FP1 \sim FPn$ 、 $FN1 \sim FNn$ の切断箇所を決定するようにしている。そして、ウェーハテストの前に適宜ヒューズ部 $FP1 \sim FPn$ 、 $FN1 \sim FNn$ の切断を行ってMOSトランジスタQを最適な駆動能力とすることにより、電流の変化率を小さくしノイズの抑制を図る。例えば電源ノイズが大きい場合には、PチャンネルMOSトランジスタ $QP1 \sim QPn$ のドレインに接続されるヒューズ部 $FP1 \sim FPn$ の一部を切断し、接地ノイズが大きい場合には、NチャンネルMOSトランジスタ $QN1 \sim QNn$ のドレインに接続されるヒューズ部 $FN1 \sim FNn$ の一部を切断することにより、それぞれのノイズを低減する。

【0097】なお、第3の実施例の場合にも、第1実施例と同様の方法でヒューズ部 $FP1 \sim FPn$ 、 $FN1 \sim FNn$ の切断箇所を決定することができる。

【0098】図5～図8は本発明の第4の実施例を示すものであって、図5はバッファ回路によって出力バッファを構成した場合の回路図、図6は図5の出力バッファのインバータ回路として用いられたバッファ回路の回路図、図7はヒューズ部切断前の出力バッファの動作を示すタイムチャート、図8はヒューズ部切断後の出力バッファの動作を示すタイムチャートである。なお、上記図3に示した第2の実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0099】ここでは、図5に示した出力バッファにおいて、出力段トランジスタ QPa 、 QNa のゲートにそれぞれ接続される4個のインバータ回路13～16として本実施例のバッファ回路を用いた場合を示す。これらのインバータ回路13～16として用いたバッファ回路は、図6に示すように、それぞれ上記図3に示した第2実施例のものと同じ構成である。また、この出力バッファの入力側に設けられたNAND回路8、NOR回路9、データ入力端子10、インバータ回路11及び出力許可端子12は、上記図4に示した第3実施例のものと同じ構成である。

【0100】上記構成の出力バッファにおいて、出力許可端子12がローレベルの状態、データ入力端子10のデータがローレベルからハイレベルに変化したとすると、インバータ回路14の出力はハイレベルからローレベルに変わり、出力段トランジスタ QPa がONとなる。ところが、出力バッファの製造プロセスのバラツキによってインバータ回路13、14の駆動能力が必要以上に高くなると、図7に示すように、このインバータ回路14の出力電圧レベルの変化が急瞬なものとなり、これに伴って出力段トランジスタ QPa の出力電圧も急激に変化する。

【0101】そこで、図6に示したインバータ回路13、14の各ヒューズ部 $FP1 \sim FPn$ 、 $FN1 \sim FNn$ を適宜切断することにより、これらインバータ回路13、14の駆動能力を低下させると、図8に示すように、インバ

ータ回路 1 4 の出力電圧レベルの変化が緩慢になり、これに伴って出力段トランジスタ QPa の出力電圧も徐々に立ち上がるようになる。また、出力段トランジスタ QNa についても、インバータ回路 1 5、1 6 の駆動能力を低下させることにより同様の調整が可能である。

【0102】従って、本実施例では、バッファ回路の遅延時間を長くすることにより、出力段トランジスタ QPa、QNa を流れる電流の変化率を小さくしてノイズの発生を抑制することができるようになる。

【0103】図 9 は本発明の第 5 の実施例を示すものであって、バッファ回路の回路図である。なお、上記図 3 に示した第 2 実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0104】第 5 の実施例のバッファ回路は、PMOS 選択回路と NMOS 選択回路を用い、調整用 PMOS と調整用 NMOS のソースにヒューズ手段を設けたバッファ回路である。

【0105】第 5 の実施例のバッファ回路も、 n 組の相補型の P チャンネル MOS トランジスタ QP1 ~ QPn と N チャンネル MOS トランジスタ QN1 ~ QNn とによって第 2 実施例と同様に構成されている。ただし、 n 個の P チャンネル MOS トランジスタ QP1 ~ QPn の各ドレインと出力端子 2 と間は直接接続され、各ソースと電源 VDD との間にそれぞれヒューズ部 FP1 ~ FPn が挿入されている。また、 n 個の N チャンネル MOS トランジスタ QN1 ~ QNn の各ドレインと出力端子 2 との間も直接接続され、各ソースと接地 GND との間にそれぞれヒューズ部 FN1 ~ FNn が挿入されている。

【0106】即ち、第 5 の実施例も、第 2 実施例と同様に、上記図 1 に示した PMOS 選択回路 4 を $n - 1$ 個の P チャンネル MOS トランジスタ QP2 ~ QPn で構成すると共に、NMOS 選択回路 5 を $n - 1$ 個の N チャンネル MOS トランジスタ QN2 ~ QNn で構成し、主 PMOS 及び主 NMOS となる P チャンネル MOS トランジスタ QP1 と N チャンネル MOS トランジスタ QN1 にもそれぞれヒューズ部 FP1 とヒューズ部 FN1 を設けたものである。従って、ここでも、主 PMOS 及び主 NMOS と調整用 PMOS 及び調整用 NMOS を特に区別しない。

【0107】上記構成のバッファ回路も、ヒューズ部 FP1 ~ FPn、FN1 ~ FNn を適宜切断することにより、任意の MOS トランジスタ Q を切り離すことができるので、第 1 実施例及び第 2 実施例の場合と同様に、製造プロセスのバラツキによってプロセス定数が変動した場合に回路特性を修正することができるようになる。

【0108】なお、第 5 の実施例の場合にも、第 2 実施例と同様に、ブルアップ抵抗 RP2 ~ RPn やブルダウン抵抗 RN2 ~ RNn が不要となる。

【0109】図 5 及び図 2 2 は本発明の第 6 の実施例を示すものである。なお、上記図 9 に示した第 5 の実施例と同様の機能を有する構成部材には同じ番号を付記して

説明を省略する。

【0110】本実施例では、図 5 に示した出力バッファにおいて、出力段トランジスタ QPa、QNa のゲートにそれぞれ接続される 4 個のインバータ回路 1 3 ~ 1 6 として本実施例のバッファ回路を用いた場合を示す。これらのインバータ回路 1 3 ~ 1 6 として用いたバッファ回路は、図 2 2 に示すように、それぞれ上記図 9 に示した第 5 実施例のものと同じ構成である。

【0111】上記構成の出力バッファにおいて、出力許可端子 1 2 がローレベルの状態、データ入力端子 1 0 のデータがローレベルからハイレベルに変化したとすると、インバータ回路 1 4 の出力はハイレベルからローレベルに変わり、出力段トランジスタ QPa が ON となる。ところが、出力バッファの製造プロセスのバラツキによってインバータ回路 1 3、1 4 の駆動能力が必要以上に高くなると、図 7 に示すように、このインバータ回路 1 4 の出力電圧レベルの変化が急激なものとなり、これに伴って出力段トランジスタ QPa の出力電圧も急激に変化する。

【0112】そこで、図 2 2 に示したインバータ回路 1 3、1 4 の各ヒューズ部 FP1 ~ FPn、FN1 ~ FNn を適宜切断することにより、これらインバータ回路 1 3、1 4 の駆動能力を低下させると、図 8 に示すように、インバータ回路 1 4 の出力電圧レベルの変化が緩慢になり、これに伴って出力段トランジスタ QPa の出力電圧も徐々に立ち上がるようになる。また、出力段トランジスタ QNa についても、インバータ回路 1 5、1 6 の駆動能力を低下させることにより同様の調整が可能である。従って、本実施例では、バッファ回路の遅延時間を長くすることにより、出力段トランジスタ QPa、QNa を流れる電流の変化率を小さくしてノイズの発生を抑制することができるようになる。

【0113】図 1 0 及び図 1 1 は本発明の第 7 の実施例を示すものであって、図 1 0 はバッファ回路の概略回路図、図 1 1 はバッファ回路の回路図である。なお、上記図 1 から図 3 に示した第 1 実施例及び第 2 実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0114】第 7 の実施例のバッファ回路は、PMOS 選択回路と NMOS 選択回路を用い、調整用 PMOS と調整用 NMOS のドレインにヒューズ手段を設けたバッファ回路である。

【0115】第 7 の実施例のバッファ回路は、図 1 0 に示すように、図 1 に示した回路に副 PMOS となる P チャンネル MOS トランジスタ QP0 と副 NMOS となる N チャンネル MOS トランジスタ QN0 を設けたものである。P チャンネル MOS トランジスタ QP0 は、ドレインが出力端子 2 に接続されると共に、ソースが主 PMOS となる P チャンネル MOS トランジスタ QP1 のドレインに接続されて、これらの間に挿入されるようになってい

る。また、NチャンネルMOSトランジスタQN0は、ソース及びドレインが主NMOSとなるNチャンネルMOSトランジスタQN1のソース及びドレインにそれぞれ接続されている。そして、これらPチャンネルMOSトランジスタQP0とNチャンネルMOSトランジスタQN0のゲートは、共通に制御入力端子3に接続されている。

【0116】また、第7の実施例のPMOS選択回路4は、図11に示すように、ドレインとヒューズ手段との接続が第2実施例とは異なるものとなっている。即ち、PMOS選択回路4は、 $n-1$ 個のPチャンネルMOSトランジスタQP2~QPnからなる。これらのPチャンネルMOSトランジスタQP2~QPnは、それぞれのソースがPチャンネルMOSトランジスタQP1のソースに共通に接続されると共に、それぞれのゲートがPチャンネルMOSトランジスタQP1のゲートに共通に接続されている。そして、1個のPチャンネルMOSトランジスタQPnのドレインとPチャンネルMOSトランジスタQP1のドレインとの間は、 $n-1$ 個のヒューズ部FP2~FPnの直列回路を介して接続され、残り $n-2$ 個のPチャンネルMOSトランジスタQP2~QPn-1のドレインが各ヒューズ部FP2~FPnの間に接続されている。

【0117】NMOS選択回路5は、 $n-1$ 個のNチャンネルMOSトランジスタQN2~QNnからなる。これらのNチャンネルMOSトランジスタQN2~QNnは、それぞれのソースがNチャンネルMOSトランジスタQN1のソースに共通に接続されると共に、それぞれのゲートがNチャンネルMOSトランジスタQN1のゲートに共通に接続されている。そして、1個のNチャンネルMOSトランジスタQNnのドレインとNチャンネルMOSトランジスタQN1のドレインとの間は、 $n-1$ 個のヒューズ部FN2~FNnの直列回路を介して接続され、残り $n-2$ 個のNチャンネルMOSトランジスタQN2~QNn-1のドレインが各ヒューズ部FN2~FNnの間に接続されている。

【0118】上記構成のバッファ回路は、制御入力端子3がローレベルの場合には、PチャンネルMOSトランジスタQP0がONとなりNチャンネルMOSトランジスタQN0がOFFとなる。そして、第1実施例や第2実施例の場合と同様に、PチャンネルMOSトランジスタQP1~QPnとNチャンネルMOSトランジスタQN1~QNnとがそれぞれ一体として動作し、入力端子1の論理レベルを反転して出力端子2に出力するインバータとして機能する。また、制御入力端子3がハイレベルになると、PチャンネルMOSトランジスタQP0がOFFとなりNチャンネルMOSトランジスタQN0がONとなるので、出力端子2は常時ローレベルとなって、インバータとしての機能が非アクティブとなる。

【0119】このバッファ回路は、例えばPMOS選択回路4における $n-1$ 個のヒューズ部FP2~FPnのうちの i 番目のヒューズ部FPiを切断すると、この位置以降のPチャンネルMOSトランジスタQPi~QPnが全て切

り離されて、残りの $i-1$ 個のPチャンネルMOSトランジスタQPi~QPi-1のみが動作することになり、実質的なゲイン定数 β_P が減少する。そして、この場合には、一体となったPチャンネルMOSトランジスタQPi~QPi-1の駆動能力を低下させると共に、インバータの入力反転電圧VINVを低下させることができる。また、例えばNMOS選択回路5における $n-1$ 個のヒューズ部FN2~FNnのうちの j 番目のヒューズ部FNjを切断すると、この位置以降のNチャンネルMOSトランジスタQNj~QNnが全て切り離されて、残りの $j-1$ 個のNチャンネルMOSトランジスタQN1~QNj-1のみが動作することになり、実質的なゲイン定数 β_N が減少する。そして、この場合には、一体となったNチャンネルMOSトランジスタQN1~QNj-1の駆動能力を低下させると共に、インバータの入力反転電圧VINVを向上させることができる。

【0120】従って、本実施例のバッファ回路も、ヒューズ部FP2~FPnのいずれか1箇所又はヒューズ部FN2~FNnのいずれか1箇所を適宜切断することにより、任意個のMOSトランジスタQを切り離すことができるので、製造プロセスのバラツキによってプロセス定数が変動した場合に、回路特性を修正することができるようになる。

【0121】図12及び図13は本発明の第8の実施例を示すものであって、図12はバッファ回路の概略回路図、図13はバッファ回路の回路図である。なお、上記図10及び図11に示した第7実施例と同様の機能を有する構成部品には同じ番号を付記して説明を省略する。

【0122】第8の実施例のバッファ回路は、直列PMOS選択回路と直列NMOS選択回路を用いたバッファ回路である。

【0123】第8の実施例のバッファ回路は、図12に示すように、図10に示した回路のPMOS選択回路4とNMOS選択回路5に代えて、PチャンネルMOSトランジスタQP1とNチャンネルMOSトランジスタQN1に直列に直列PMOS選択回路6と直列NMOS選択回路7を接続したものである。

【0124】直列PMOS選択回路6は、図13に示すように、 $n-1$ 個のPチャンネルMOSトランジスタQSP2~QSPnからなる。これらのPチャンネルMOSトランジスタQSP2~QSPnは、互いにソースドレイン間が直列に接続されると共に、この直列接続の一端のPチャンネルMOSトランジスタQSPnのソースが電源VDDに接続され、他端のPチャンネルMOSトランジスタQSP2のドレインが主PMOSとなるPチャンネルMOSトランジスタQP1のソースに接続されている。そして、各PチャンネルMOSトランジスタQSP2~QSPnのゲートは、PチャンネルMOSトランジスタQP1のゲートに共通に接続されている。また、各PチャンネルMOSトランジスタQSP2~QSPnのドレインは、それぞれヒューズ

10

20

30

40

50

部FSP2~FSPnを介して電源VDDに接続されている。

【0125】直列NMOS選択回路7は、 $n-1$ 個のNチャンネルMOSトランジスタQSN2~QSNnからなる。これらのNチャンネルMOSトランジスタQSN2~QSNnは、互いにソースドレイン間が直列に接続されると共に、この直列接続の一端のNチャンネルMOSトランジスタQSNnのソースが接地GNDに接続され、他端のNチャンネルMOSトランジスタQSN2のドレインが主NMOSとなるNチャンネルMOSトランジスタQN1のソースに接続されている。そして、各NチャンネルMOSトランジスタQSN2~QSNnのゲートは、NチャンネルMOSトランジスタQN1のゲートに共通に接続されている。また、各NチャンネルMOSトランジスタQSN2~QSNnのドレインは、それぞれヒューズ部FSN2~FSNnを介して接地GNDに接続されている。

【0126】上記構成のバッファ回路は、制御入力端子3がローレベルの場合にはインバータがアクティブとなり、ハイレベルになると出力端子2が常時ローレベルとなってインバータが非アクティブとなる点は第6実施例と同じである。ただし、ヒューズ部FSP2~FSPnが繋がった状態では、PチャンネルMOSトランジスタQSP2~QSPnが全て直列PMOS選択回路6から切り離されて、PチャンネルMOSトランジスタQP1のソースが直接電源VDDに接続されることになる。また、ヒューズ部FSN2~FSNnが繋がった状態では、NチャンネルMOSトランジスタQSN2~QSNnが全て直列NMOS選択回路7から切り離されて、NチャンネルMOSトランジスタQN1のソースが直接接地GNDに接続されることになる。

【0127】このバッファ回路は、ヒューズ部FSP2~FSPnが全て切断されると、PチャンネルMOSトランジスタQP1とPチャンネルMOSトランジスタQSP2~QSPnが一体となって動作し、この場合の実質的なチャンネル長が各MOSトランジスタQのチャンネル長の和となり、上記数4、数5からゲイン定数もこれに応じて低下する。また、ヒューズ部FSN2~FSNnが全て切断されると、NチャンネルMOSトランジスタQN1とNチャンネルMOSトランジスタQSN2~QSNnが一体となって動作し、この場合の実質的なチャンネル長が各MOSトランジスタQのチャンネル長の和となり、ゲイン定数もこれに応じて低下する。従って、例えば直列PMOS選択回路6における $n-1$ 個のヒューズ部FSP2~FSPnのうちの i 番目までのヒューズ部FSP2~FSPiを全て切断すると、この位置以降のPチャンネルMOSトランジスタQSPi~QSPnが切り離されて、残りの $i-2$ 個のPチャンネルMOSトランジスタQSP2~QSPi-1とPチャンネルMOSトランジスタQP1のみが動作することになり、全てのヒューズ部FSP2~FSPnが切断された場合に比べ実質的なゲイン定数 β_P が増加してインバータの入力反転電圧VINVを向上させることができる。また、例

えば直列NMOS選択回路7における $n-1$ 個のヒューズ部FSN2~FSNnのうちの j 番目までのヒューズ部FSN2~FSNjを全て切断すると、この位置以降のNチャンネルMOSトランジスタQSNj~QSNnが切り離されて、残りの $j-2$ 個のNチャンネルMOSトランジスタQSN2~QSNj-1とNチャンネルMOSトランジスタQN1のみが動作することになり、全てのヒューズ部FSN2~FSNnが切断された場合に比べ実質的なゲイン定数 β_N が減少してインバータの入力反転電圧VINVを低下させることができる。

【0128】従って、本実施例のバッファ回路も、ヒューズ部FSP2~FSPn又はヒューズ部FSN2~FSNnの切断を適宜回避することにより、任意個のMOSトランジスタQを切り離すことができるので、製造プロセスのバラツキによってプロセス定数が変動した場合に、回路特性を修正することができるようになる。

【0129】なお、本実施例では、副PMOSとなるPチャンネルMOSトランジスタQP0と副NMOSとなるNチャンネルMOSトランジスタQN0を設けた場合を示したが、図14に示すように、これらを設けないバッファ回路について図13に示したものと同様の構成の直列PMOS選択回路6と直列NMOS選択回路7を接続することもできる。

【0130】図15及び図16は本発明の第9の実施例を示すものであって、図15はバッファ回路の概略回路図、図16はバッファ回路の回路図である。なお、上記図10から図13に示した第7実施例及び第8実施例と同様の機能を有する構成部材には同じ番号を付記して説明を省略する。

【0131】第9の実施例のバッファ回路は、PMOS選択回路及びNMOS選択回路と直列PMOS選択回路及び直列NMOS選択回路を用いたバッファ回路である。

【0132】第9の実施例のバッファ回路は、図15に示すように、副PMOSとなるPチャンネルMOSトランジスタQP0と副NMOSとなるNチャンネルMOSトランジスタQN0を設けたバッファ回路における主PMOSとなるPチャンネルMOSトランジスタQP1にPMOS選択回路4を並列接続すると共に直列PMOS選択回路6を直列接続し、主NMOSとなるNチャンネルMOSトランジスタQN1にNMOS選択回路5を並列接続すると共に直列NMOS選択回路7を直列接続したものである。そして、図16に示すように、PMOS選択回路4とNMOS選択回路5は、図11に示した第7実施例と同様の構成とし、直列PMOS選択回路6と直列NMOS選択回路7は、図13に示した第8実施例と同様の構成としている。

【0133】上記構成のバッファ回路も、制御入力端子3がローレベルの場合にはインバータがアクティブとなり、ハイレベルになると出力端子2は常時ローレベルと

なってインバータが非アクティブとなる点は第 7 実施例及び第 8 実施例と同じである。しかも、ヒューズ部 $FP_2 \sim FP_n$ のいずれか 1 箇所又はヒューズ部 $FN_2 \sim FN_n$ のいずれか 1 箇所を適宜切断することにより、実質的なゲイン定数 β_P 、 β_N を低下させると共に、ヒューズ部 $FP_2 \sim FP_n$ 又はヒューズ部 $FN_2 \sim FN_n$ の切断を適宜回避することにより、実質的なゲイン定数 β_P 、 β_N を向上させることができるので、バッファ回路の回路特性の修正をより適切に行うことができるようになる。

【0134】

【発明の効果】以上の説明から明らかなように、本発明のバッファ回路によれば、適宜ヒューズ手段を切断し又は切断を回避して一部の MOS トランジスタを切り離すことにより、回路特性を最適化することができるようになる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示すものであって、バッファ回路の概略回路図である。

【図 2】本発明の第 1 実施例を示すものであって、バッファ回路の回路図である。

【図 3】本発明の第 2 実施例を示すものであって、バッファ回路の回路図である。

【図 4】本発明の第 3 実施例を示すものであって、バッファ回路によって出力バッファを構成した場合の回路図である。

【図 5】本発明の第 4 実施例及び第 6 実施例を示すものであって、バッファ回路によって出力バッファを構成した場合の回路図である。

【図 6】本発明の第 4 実施例を示すものであって、図 5 の出力バッファのインバータ回路として用いられたバッファ回路の回路図である。

【図 7】本発明の第 4 実施例を示すものであって、ヒューズ部切断前の出力バッファの動作を示すタイムチャートである。

【図 8】本発明の第 4 実施例を示すものであって、ヒューズ部切断後の出力バッファの動作を示すタイムチャートである。

【図 9】本発明の第 5 実施例を示すものであって、バッファ回路の回路図である。

【図 10】本発明の第 7 実施例を示すものであって、バッファ回路の概略回路図である。

【図 11】本発明の第 7 実施例を示すものであって、バッファ回路の回路図である。

【図 12】本発明の第 8 実施例を示すものであって、バッファ回路の概略回路図である。

【図 13】本発明の第 8 実施例を示すものであって、バッファ回路の回路図である。

【図 14】本発明の第 8 実施例の変形例を示すものであって、バッファ回路の概略回路図である。

【図 15】本発明の第 9 実施例を示すものであって、バッファ回路の概略回路図である。

10 【図 16】本発明の第 9 実施例を示すものであって、図 16 はバッファ回路の回路図である。

【図 17】従来例を示すものであって、バッファ回路の回路図である。

【図 18】従来例を示すものであって、他のバッファ回路の回路図である。

【図 19】バッファ回路に発生するノイズを説明するための等価回路図である。

【図 20】従来例を示すものであって、ノイズ対策を施したバッファ回路の回路図である。

20 【図 21】従来例を示すものであって、他のノイズ対策を施したバッファ回路の回路図である。

【図 22】本発明の第 6 実施例を示すものであって、図 5 の出力バッファのインバータ回路として用いられたバッファ回路の回路図である。

【符号の説明】

- 1 入力端子
- 2 出力端子
- 3 制御入力端子
- 4 PMOS 選択回路
- 5 NMOS 選択回路
- 6 直列 PMOS 選択回路
- 7 直列 NMOS 選択回路

QP1 ~ QPn Pチャンネル MOS トランジスタ

QN1 ~ QNn Nチャンネル MOS トランジスタ

QSP2 ~ QSPn Pチャンネル MOS トランジスタ

QSN2 ~ QSNn Nチャンネル MOS トランジスタ

FP1 ~ FPn ヒューズ部

FN1 ~ FNn ヒューズ部

FSP2 ~ FSPn ヒューズ部

FSN2 ~ FSNn ヒューズ部

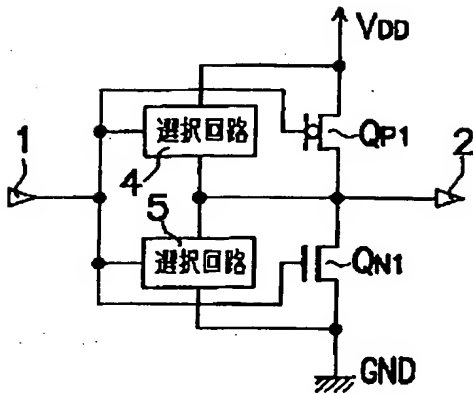
40 RP2 ~ RPn ブルアップ抵抗

RN2 ~ RNn ブルダウン抵抗

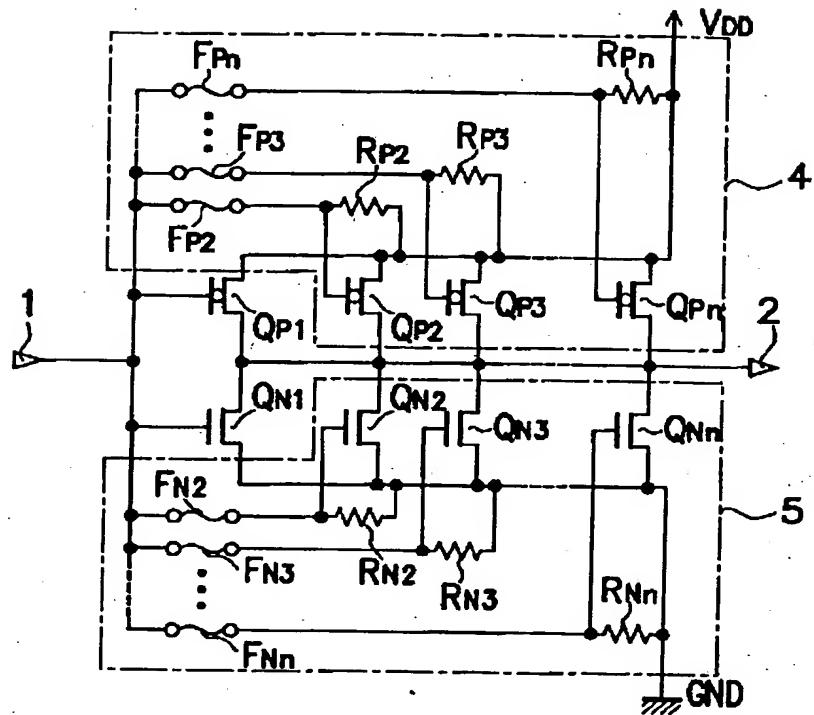
VDD 電源

GND 接地

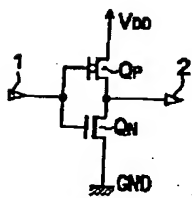
【図1】



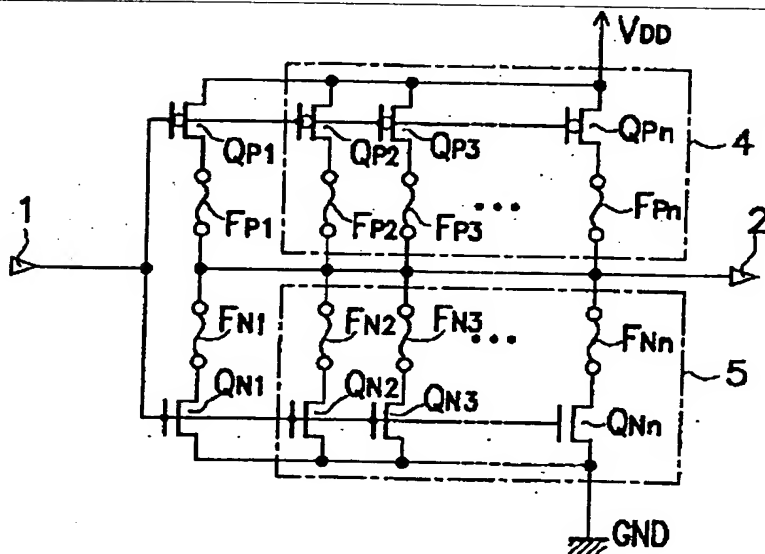
【図2】



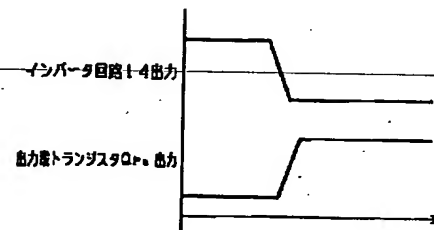
【図17】



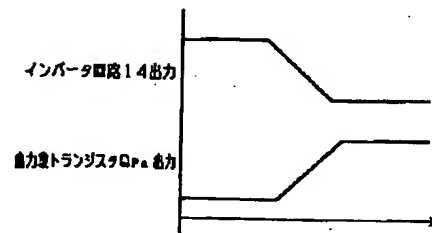
【図3】



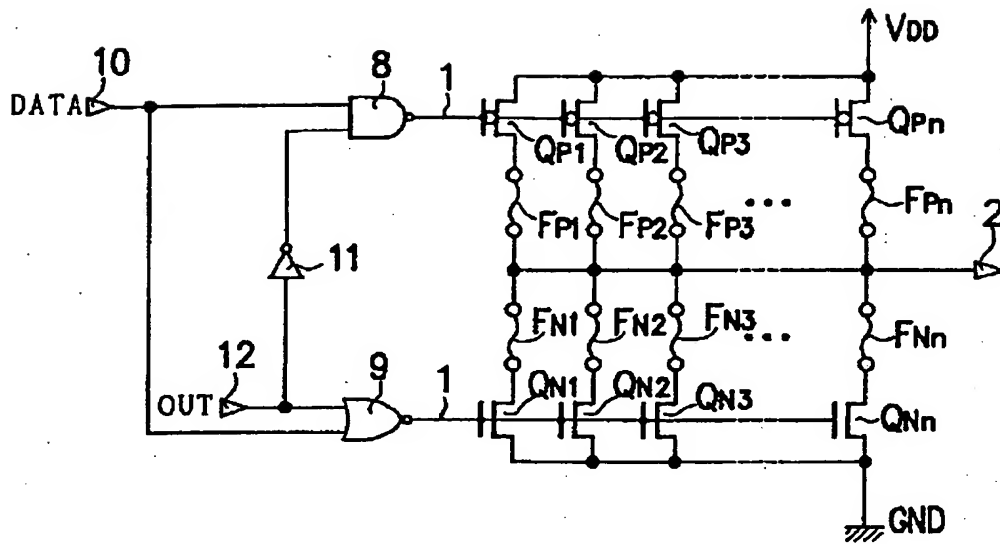
【図7】



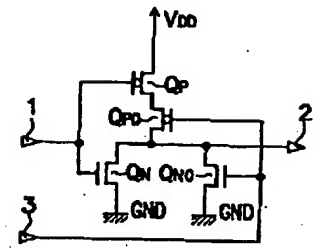
【図8】



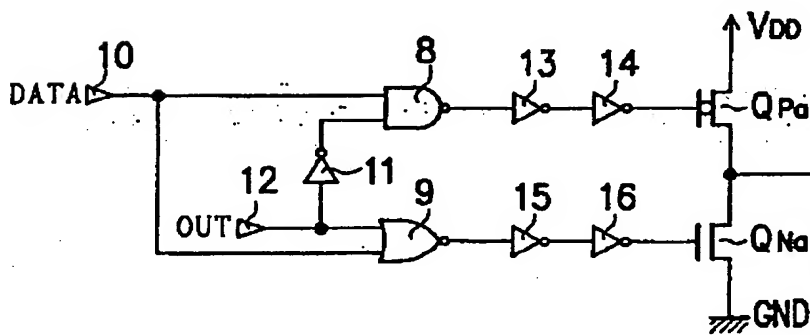
【図 4】



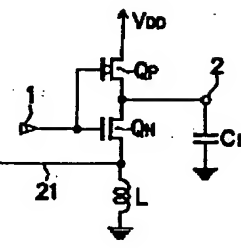
【図 18】



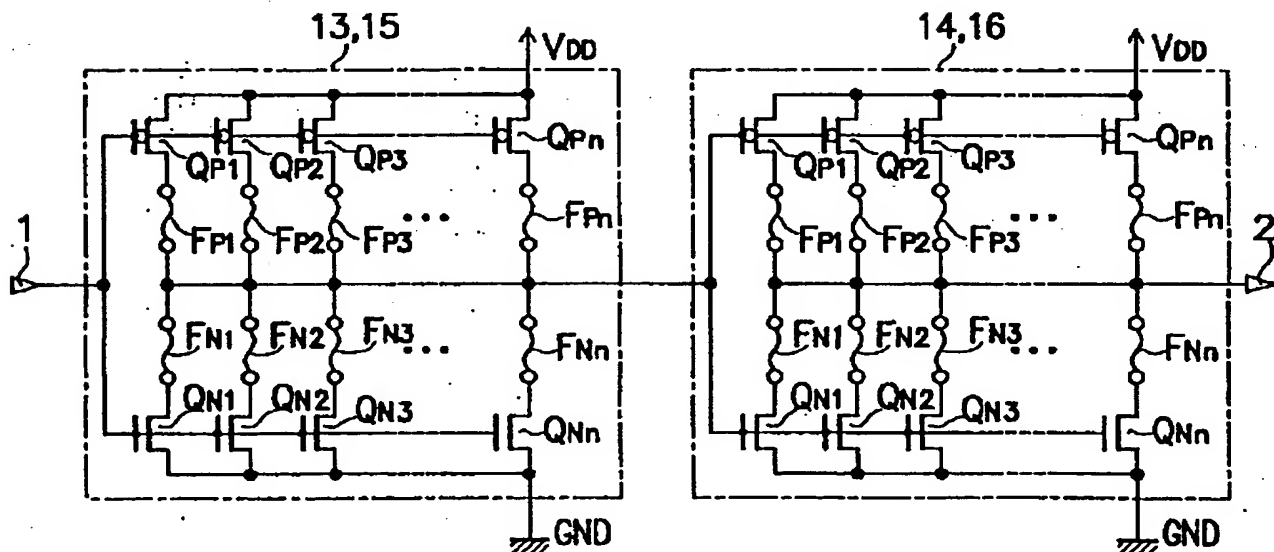
【図 5】



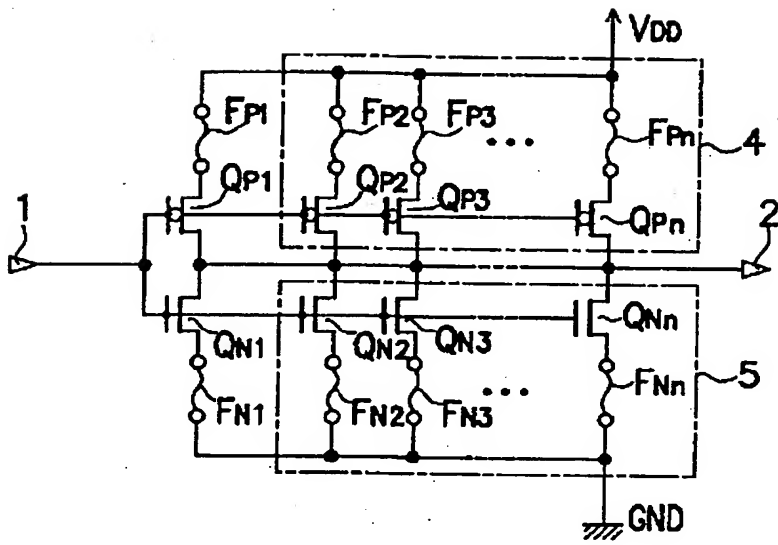
【図 19】



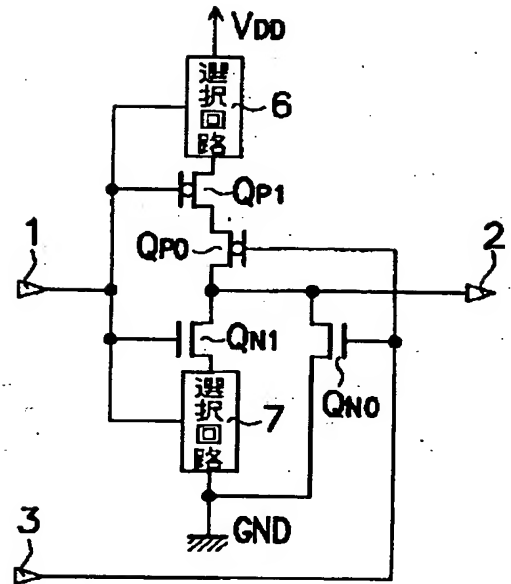
【図 6】



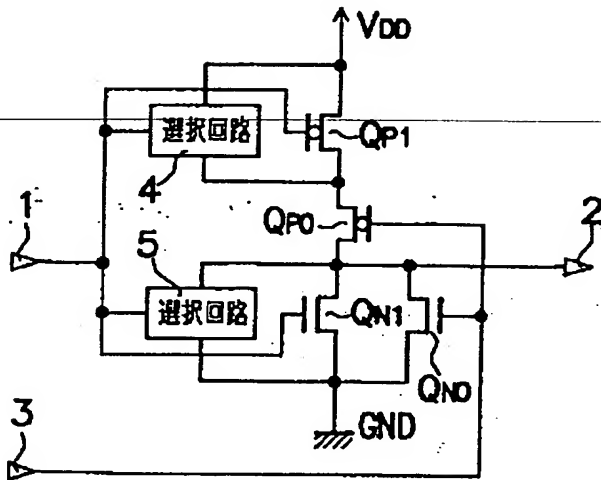
【図9】



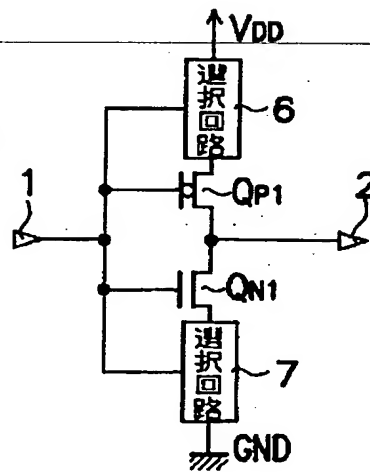
【図12】



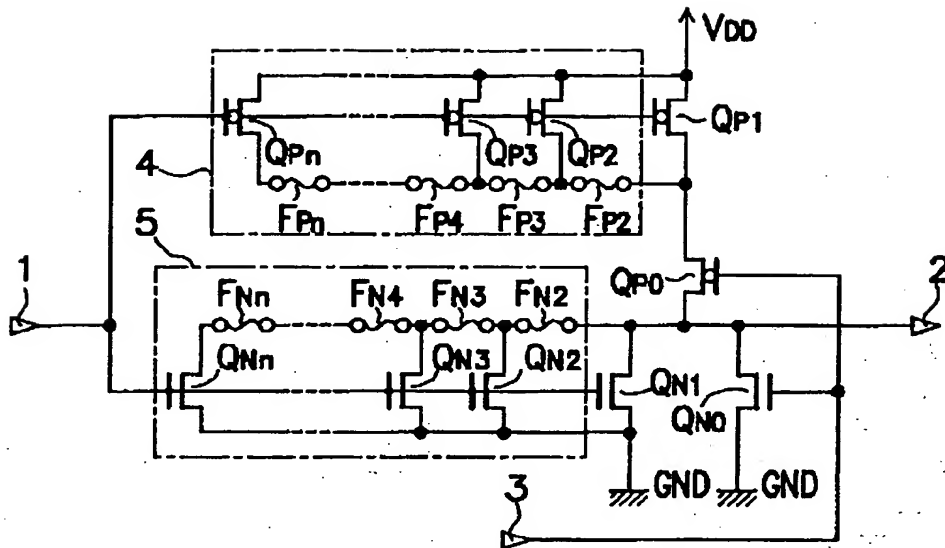
【図10】



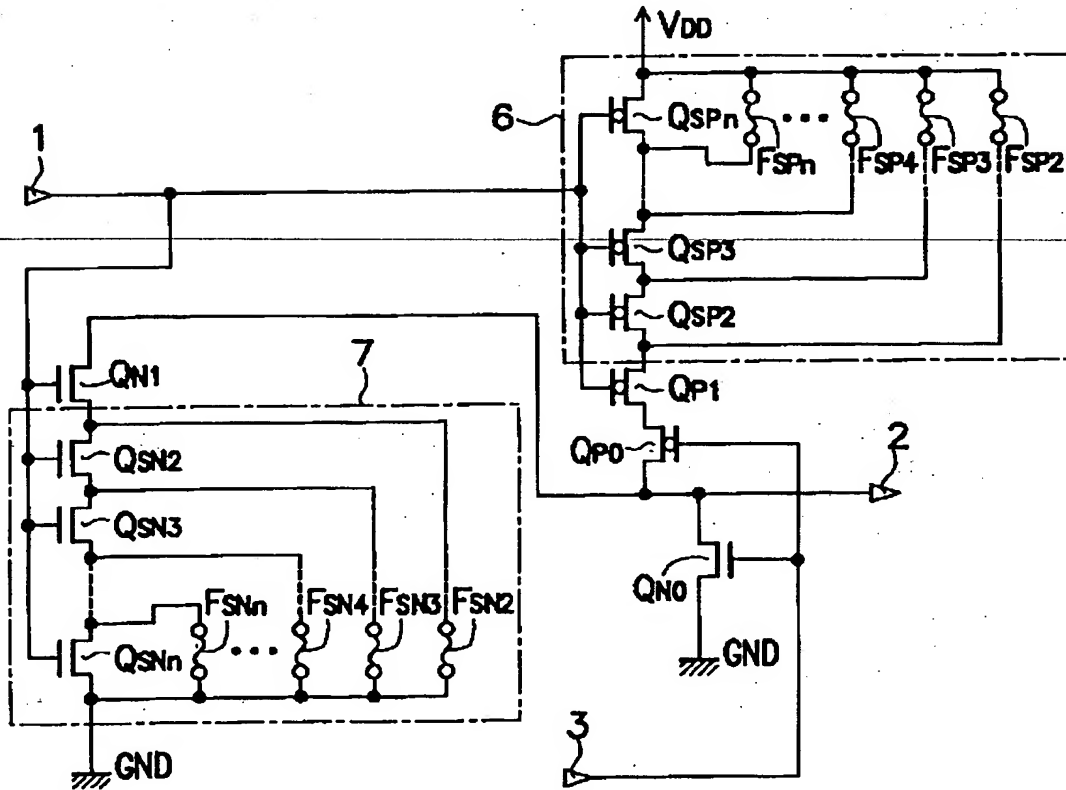
【図14】



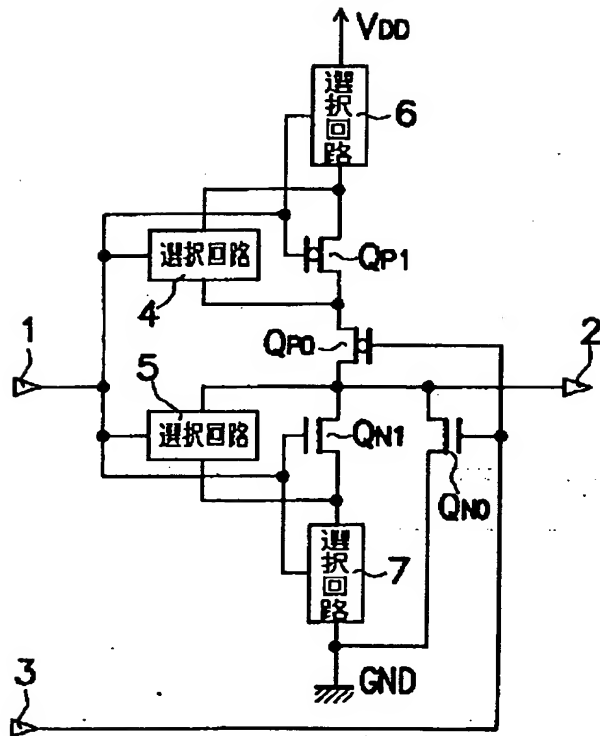
【図 11】



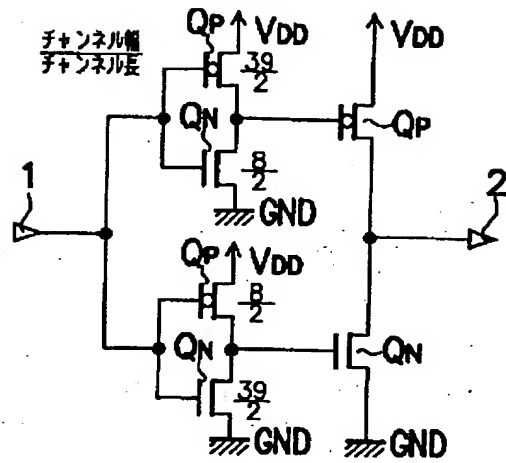
【図 13】



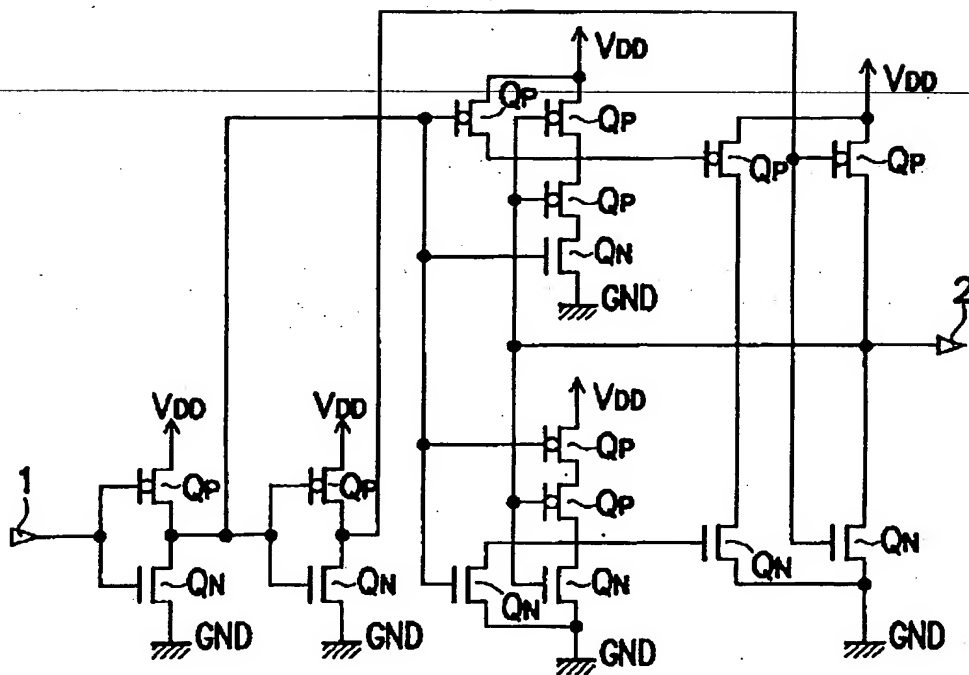
【図 15】



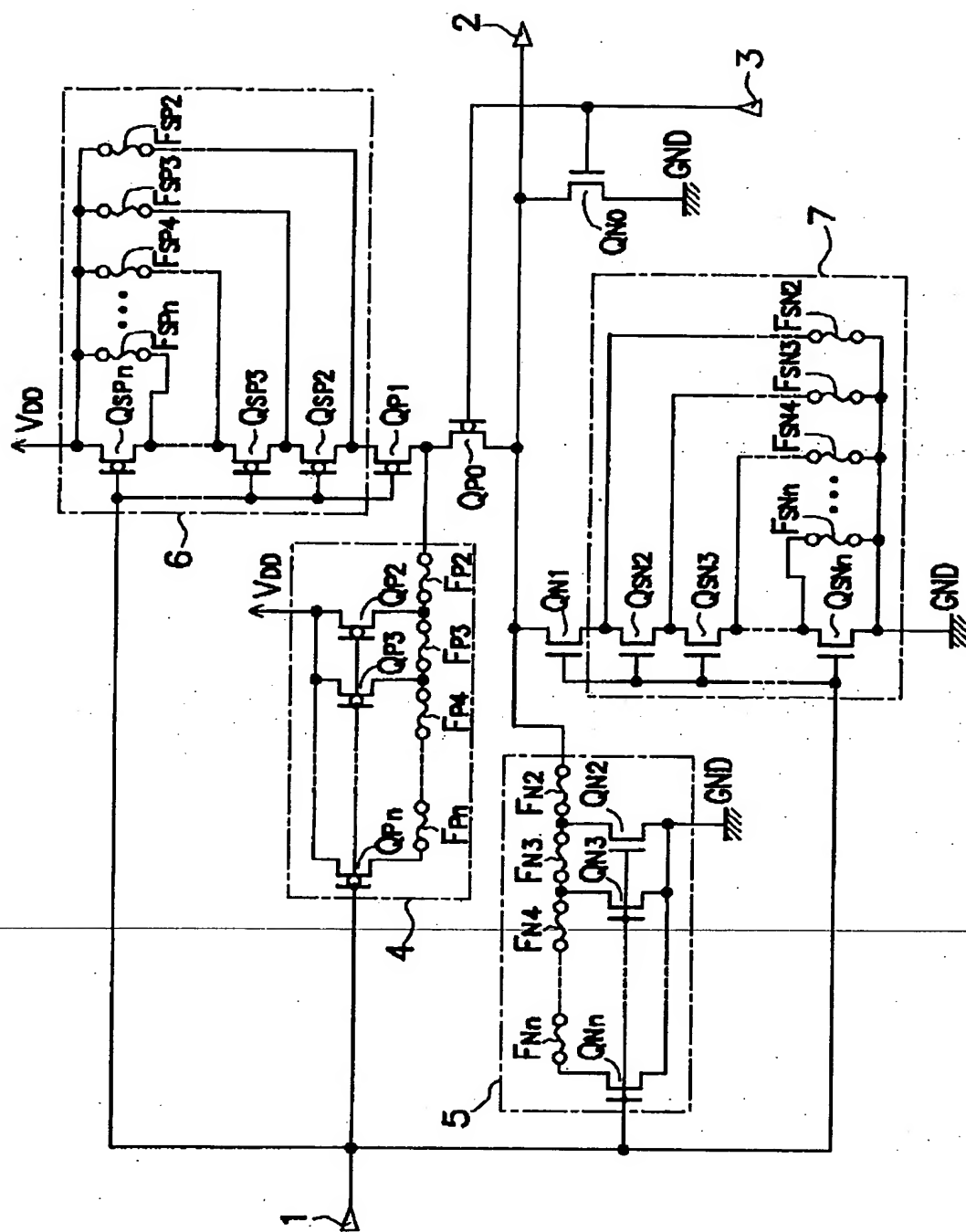
【図 20】



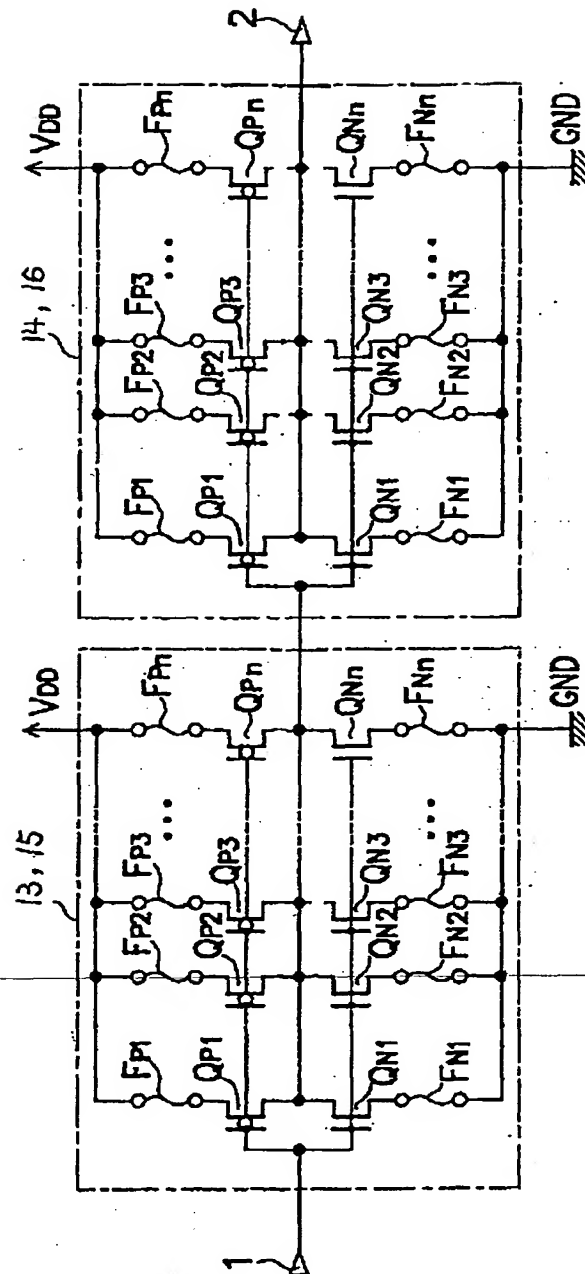
【図 21】



【図 16】



【図 22】



フロントページの続き

(51)Int.Cl. °

識別記号

F I

9473-5J

17/687

F

8321-5J

19/094

B